

	<b>FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA</b>		
	<b>MODUL PEMBELAJARAN ELEKTRONIKA INDUSTRI</b>		
	Semester 5	<i>FUNGSI-FUNGSI KHUSUS</i>	1 x 4 x 50'
	No. LST/EKA/PTE2013	Revisi : 00	Tgl : 17-02-2010
Hal 1 dari 9			

## A. Tujuan

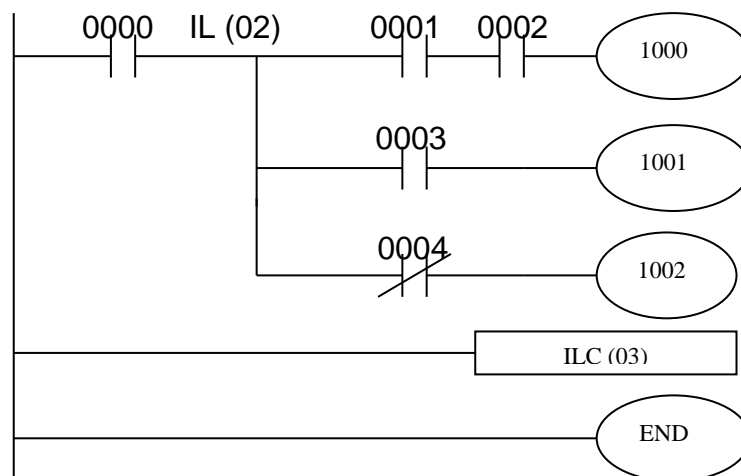
Setelah Selesai pembelajaran diharapkan mahasiswa dapat membuktikan fungsi-fungsi khusus dalam pemrograman *Programmable Logic Controller* (PLC)

## B. Kajian Teori

### 1. *Interlock* (IL) dan *Interlock Clear* (ILC)

IL dan ILC merupakan merupakan pemrograman PLC dengan menggunakan FUN 02 dan FUN 03 sebagai fungsi yang dapat membentuk suatu rangkaian akan terkunci dan atau membuka berdasarkan posisi IL adan ILC dalam suatu rangkaian pemrograman. Fungsi IL dan ILC selalu digunakan secara bersama-sama, dimana fungsi ILC menunjukkan akhir dari blok interlock.

Ilustrasi dari IL dan ILC ditunjukkan seperti pada gambar berikut :



**Gambar.** Ladder diagram IL dan ILC

Instruksi program dari gambar di atas dapat dilihat dalam tabel berikut

Dibuat oleh : Masduki Zakaria	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
----------------------------------	---	------------------

	<b>FAKULTAS TEKNIK</b> <b>UNIVERSITAS NEGERI YOGYAKARTA</b>			
	<b>MODUL PEMBELAJARAN ELEKTRONIKA INDUSTRI</b>			
	Semester 5	<i>FUNGSI-FUNGSI KHUSUS</i>		1 x 4 x 50'
	No. LST/EKA/PTE2013	Revisi : 00	Tgl : 17-02-2010	Hal 2 dari 9

**Tabel** Statement List gambar pada rangkaian IL dan LC

Alamat	Instruksi	Data
0000	LD	0000
0001	IL (02)	-
0002	LD	0001
0003	AND	0002
0004	OUT	1000
0005	LD	0003
0006	OUT	1001
0007	LD NOT	0004
0008	OUT	1002
0009	ILC (03)	-
0010	FUN (01)	-

Dari rangkaian di atas, bila input 0002 dalam kondisi OFF, maka semua koil output yang berada antara IL dan ILC akan OFF. Sebaliknya jika input 0002 dalam kondisi ON, maka semua koil output yang berada antara IL dan ILC akan bekerja secara normal.

Beberapa hal yang berkaitan dengan IL dan ILC, antara lain jika :  
 (a) Timer, maka setting waktunya akan kembali ke kondisi awal, dan (b) Counter, shift register, maka statusnya tidak akan berubah. Perhatikan timing diagram pada gambar berikut ini.

Dibuat oleh : Masduki Zakaria	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
----------------------------------	---	------------------



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**MODUL PEMBELAJARAN ELEKTRONIKA INDUSTRI**

Semester 5

*FUNGSI-FUNGSI KHUSUS*

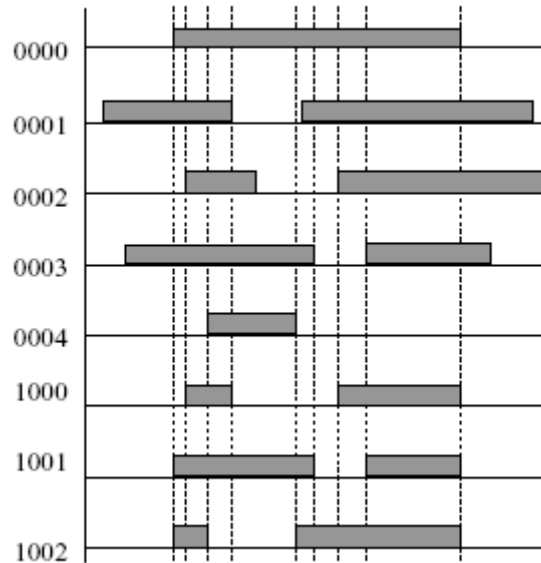
1 x 4 x 50'

No. LST/EKA/PTE2013

Revisi : 00

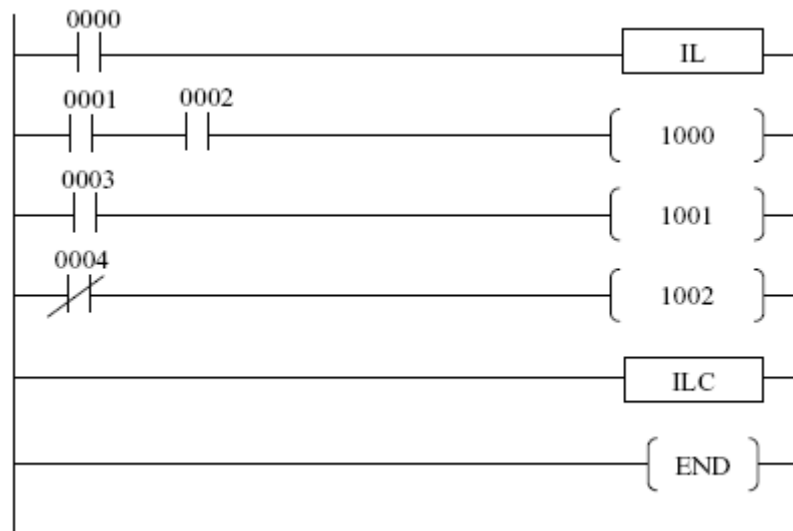
Tgl : 17-02-2010

Hal 3 dari 9



**Gambar** *Timing diagram* IL dan ILC

Ladder diagram seperti dalam gambar rangkaian di atas dapat digambarkan seperti pada gambar ladder diagram di bawah tanpa mempengaruhi prinsip dan hasil kerja fungsi IL dan ILC.



**Gambar** Ladder diagram Rangkaian ekuivalen

Dibuat oleh :  
Masduki Zakaria

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

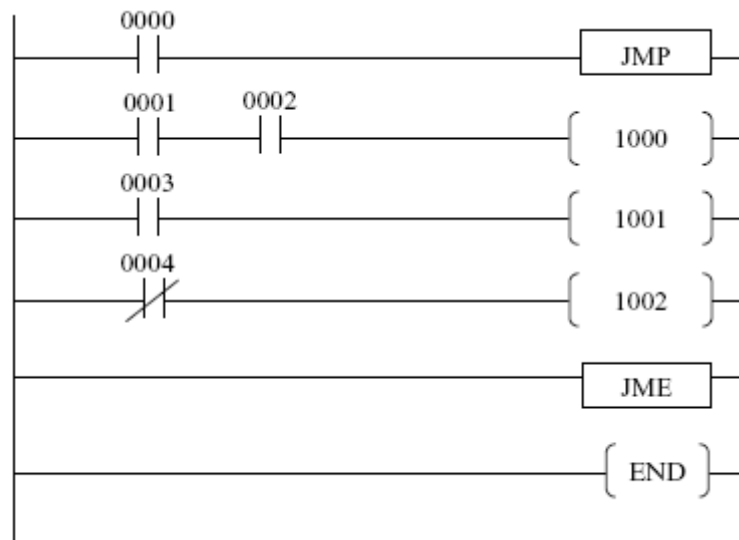
Diperiksa oleh :

	<b>FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA</b>		
	<b>MODUL PEMBELAJARAN ELEKTRONIKA INDUSTRI</b>		
	Semester 5	<i>FUNGSI-FUNGSI KHUSUS</i>	1 x 4 x 50'
	No. LST/EKA/PTE2013	Revisi : 00	Tgl : 17-02-2010
			Hal 4 dari 9

## 2. *Jump dan Jump End (JMP dan JME)*

JMP dan JME merupakan instruksi pemrograman pasangan yang berfungsi untuk memberikan output pada coil keluaran sewaktu JMP diberi masukan sesaat yang berlogika "1", output ini akan terus bernilai "1" sampai dengan JMP mendapat masukan berlogika "1" kembali baru kemudian output coil akan berlogika "0". Semua instruksi program antara JMP dan JME akan mengikuti pola masukan pada JMP.

Ilustrasi dari instruksi pemrograman untuk JMP menggunakan FUN (04) dan JME menggunakan FUN (05) yang diperlihatkan seperti dalam gambar di bawah. Sedangkan statement list dari gambar tersebut diperlihatkan dalam tabel statemen list berikut. Untuk melihat pola masukan dan keluaran diperlihatkan timing diagram yang ditunjukkan dalam gambar di bawah.



**Gambar** *Ladder diagram* instruksi JMP dan JME

Dibuat oleh : Masduki Zakaria	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
----------------------------------	---	------------------

	<b>FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA</b>		
	<b>MODUL PEMBELAJARAN ELEKTRONIKA INDUSTRI</b>		
	Semester 5	<i>FUNGSI-FUNGSI KHUSUS</i>	1 x 4 x 50'
	No. LST/EKA/PTE2013	Revisi : 00	Tgl : 17-02-2010
Hal 5 dari 9			

**Tabel. *Statement List* JMP dan JME**

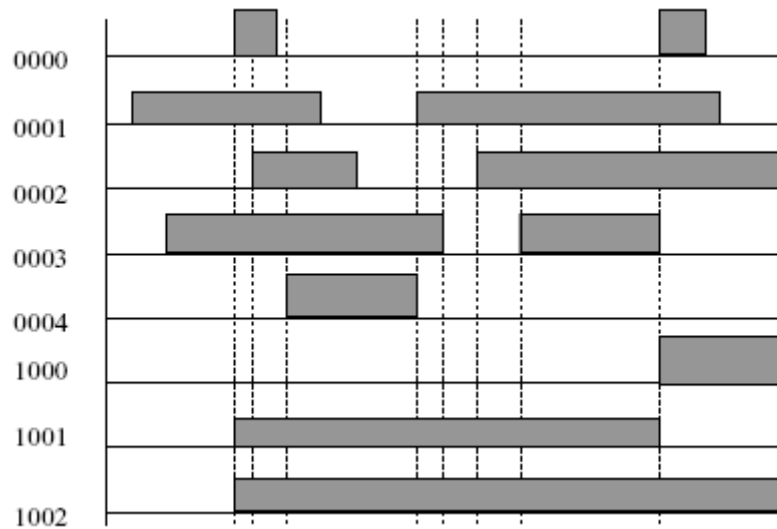
Alamat	Mnemonic	Data
0000	LD	0000
0001	FUN 04	-
0002	LD	0001
0003	AND	0002
0004	OUT	1000
0005	LD	0003
0006	OUT	1001
0007	LD NOT	0004
0008	OUT	1002
0009	FUN 05	-
0010	FUN 01	-

Beberapa hal yang berkaitan JMP dan JME, jika input 0000 berada pada kondisi logika "1", maka program rangkaian yang berada antara JMP dan JME akan dieksekusi oleh prosessor dalam PLC secara normal, artinya koil-koil output yang berada diantara JMP dan JME akan beroperasi seperti biasa; akan tetapi, jika kontak-kontak yang lainnya berlogika "1" . Akan tetapi jika kondisi JMP berlogika "0", dalam hal ini input 0000 berlogika "0", maka program yang berada antara JMP dan JME tidak akan dieksekusi oleh prosessor dalam PLC. Satu hal yang perlu mendapat perhatian adalah, semua koil output termasuk didalamnya timer, dan counter, akan bertahan pada status akhirnya.

Dibuat oleh : Masduki Zakaria	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
----------------------------------	---	------------------

	<b>FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA</b>		
	<b>MODUL PEMBELAJARAN ELEKTRONIKA INDUSTRI</b>		
	Semester 5	<i>FUNGSI-FUNGSI KHUSUS</i>	1 x 4 x 50'
	No. LST/EKA/PTE2013	Revisi : 00	Tgl : 17-02-2010
Hal 6 dari 9			

Berikut ini diperlihatkan timing diagram dari JMP dan JME.



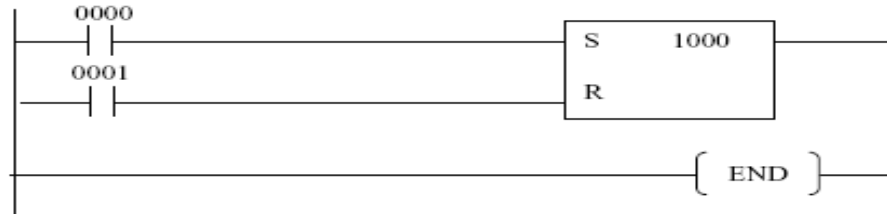
**Gambar.** Timing diagram dari instruksi JMP dan JME

### 3. Keep

*Keep* merupakan instruksi pemrograman dari PLC yang terdiri atas 2 buah masukan, yaitu Set (S) dan Reset (R), dan sebuah terminal keluaran yang dapat ditentukan sendiri penggunaan portnya oleh pemrogram. Prinsip kerja dari *Keep* yaitu : jika S diberi masukan yang berlogika "1" maka output koil akan berlogika "1" sepanjang terminal masukan R berlogika "0", sebaliknya walaupun masukan pada S berlogika "1" akan tetapi jika R berlogika "0" maka output koil akan tetap berada pada kondisi logika "0".

Sebagai ilustrasi dari fungsi *keep* ditunjukkan seperti dalam *ladder diagram* pada gambar dibawah sedangkan *statement list* ditunjukkan pada tabel di bawah dan timing diagram dari fungsi *keep* ditunjukkan dalam gambar berikut ini.

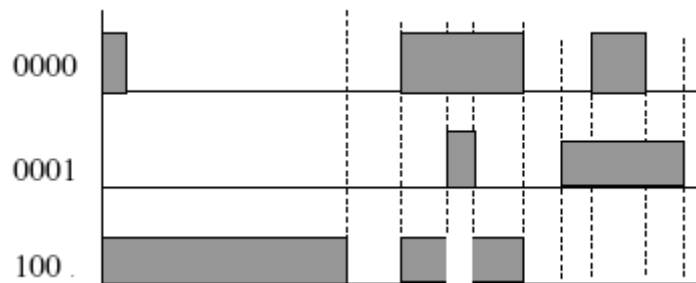
Dibuat oleh : Masduki Zakaria	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
----------------------------------	--	------------------



**Gambar.** Ladder diagram fungsi keep

**Tabel.** Statement list fungsi Keep

Alamat	Mnemonic	Data
0000	Set	0000
0001	RST	0001
0002	Out	1000
0003	Fun 01	-



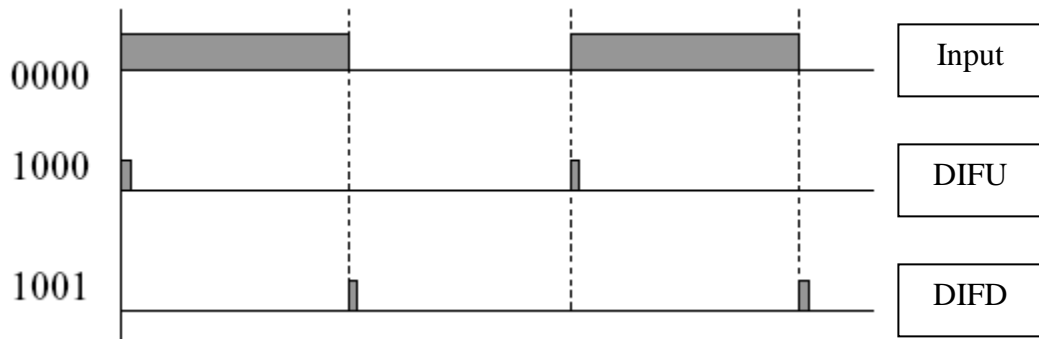
**Gambar.** Timing diagram fungsi keep

#### 4. *Differential Up (DIFU)* dan *Differential Down (DIFD)*

DIFU Berfungsi mengaktifkan output sesaat selama satu scan bersamaan dengan diaktifkannya fungsi tersebut, lalu output akan OFF kembali walaupun sinyal input masih ON.

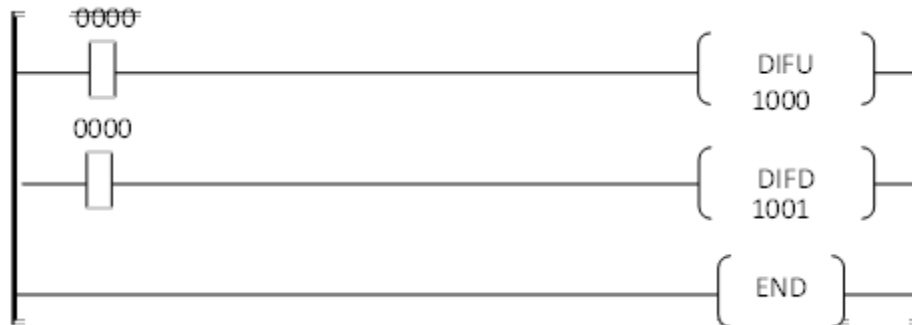
	<b>FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA</b>		
	<b>MODUL PEMBELAJARAN ELEKTRONIKA INDUSTRI</b>		
	Semester 5	<i>FUNGSI-FUNGSI KHUSUS</i>	1 x 4 x 50'
	No. LST/EKA/PTE2013	Revisi : 00	Tgl : 17-02-2010
Hal 8 dari 9			

DIFD Berfungsi mengaktifkan output sesaat selama satu scan bersamaan dengan dinonaktifkannya fungsi tersebut, walaupun input sudah OFF akan tetapi output masih ON walaupun hanya sesaat (satu scan).



**Gambar.** *Timing diagram* DIFU dan DIFD

*Ladder diagram* dari fungsi DIFU dan DIFD ditunjukkan seperti pada gambar di bawah, sedangkan *statement list* ditunjukkan dalam tabel berikut ini.



**Gambar** *Ladder diagram* DIFU dan DIFD

Dibuat oleh : Masduki Zakaria	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
----------------------------------	---	------------------



	<b>FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA</b>		
	<b>MODUL PEMBELAJARAN ELEKTRONIKA INDUSTRI</b>		
	Semester 5	<i>FUNGSI-FUNGSI KHUSUS</i>	1 x 4 x 50'
	No. LST/EKA/PTE2013	Revisi : 00	Tgl : 17-02-2010
		Hal 9 dari 9	

**Tabel.** Statement List DIFU dan DIFD

Alamat	Mnemonic	Data
0000	LD	0000
0001	DIFU	1000
0002	LD	0000
0003	DIFD	1001
0004	FUN 01	-

Dibuat oleh : Masduki Zakaria	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
----------------------------------	---	------------------