



# FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA

## LAB SHEET TEKNIK DIGITAL

Semester 3

RS FLIP - FLOP

4 X 60 Menit

No.LST/EKO/DEL 214/03

Revisi : 02

Tgl : 1 Februari 2010

Hal 1 dari 5

### 1. Kompetensi

Memahami cara kerja rangkaian RS F-F

### 2. Sub Kompetensi

- Memahami cara kerja rangkaian RS F-F dengan menggunakan gerbang NOR
- Memahami cara kerja rangkaian RS F-F dengan menggunakan gerbang NAND
- Memahami cara kerja rangkaian RS Clock F-F

### 3. Dasar Teori

Flip-flop adalah nama lain bagi multivibrator bistabil, yakni multivibrator yang keluarnya adalah suatu tegangan rendah atau tinggi 0 atau 1. Keluaran ini tetap rendah atau tinggi dan untuk mengubahnya, rangkaian yang bersangkutan harus *drive* oleh suatu masukan yang disebut (*trigger*). Sampai datangnya pemicu, tegangan keluaran tetap rendah atau tinggi untuk selang waktu yang tak terbatas.

#### Tabel Masukan/Keluaran

Tabel 1 meringkaskan kemungkinan-kemungkinan masukan/keluaran bagi flip-flop RS (Reset-Set) :

- Kondisi masukan yang pertama adalah RS = 0-0, Ini berarti tidak diterapkan pemicu. Dalam hal ini keluaran Y mempertahankan nilai terakhir yang dimilikinya.
- Kondisi masukan yang kedua adalah RS = 0-1 berarti bahwa suatu pemicu diterapkan pada masukan S (Set). Seperti kita ketahui, hal ini mengeset flip-flop dan menghasilkan keluaran Y bernilai 1.
- Kondisi masukan yang ketiga adalah RS = 1-0 ini menyatakan bahwa suatu pemicu diterapkan pada masukan R (Reset). Keluaran Y yang dihasilkan adalah 0.
- Kondisi masukan RS = 1-1 merupakan masukan terlarang. Kondisi ini berarti menerapkan suatu pemicu pada kedua masukan S dan R pada saat yang sama. Hal ini merupakan suatu pertentangan karena mengandung pengertian bahwa kita berupaya untuk memperoleh keluaran Y yang secara serentak sama dengan 1 dan sama dengan 0.

Tabel 1. RS FLIP-FLOP

R	S	Y
0	0	Nilai terakhir
0	1	1
1	0	0
1	1	Terlarang

Dibuat oleh :  
Herlambang SP

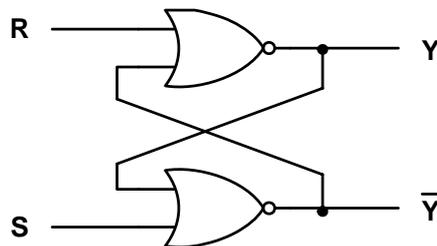
Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :  
ACN

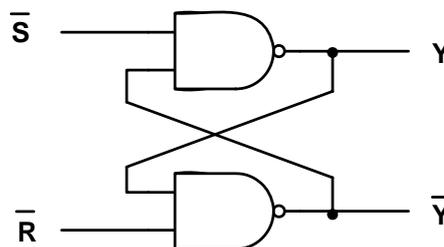


### Rangkaian Flip-flop RS

Keluaran masing-masing gerbang NOR mendrive salah satu masukan pada gerbang NOR yang lain. Demikian pula, masukan-masukan S dan R memungkinkan kita mengeset atau mereset keluaran Y. Seperti sebelumnya, masukan S yang tinggi mengeset Y ke 1; masukan R yang tinggi mereset Y ke 0. Jika R dan S kedua-duanya rendah, keluaran tetap tergrendel (latched) atau tertahan pada keadaan terakhirnya. Kondisi pertentangan yakni R dan S kedua-duanya tinggi pada saat yang sama juga masih terlarang.



Gambar 1. Flip-flop RS dengan gerbang NOR



Gambar 2. Flip-flop RS dengan gerbang NAND

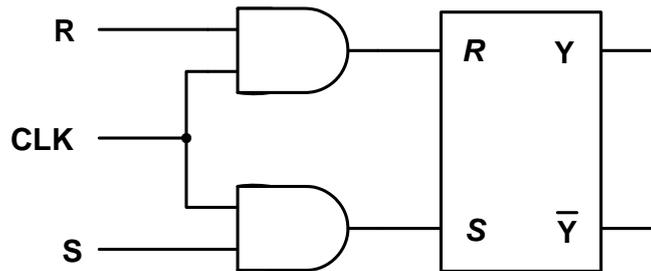
Berbagai rancangan tingkat lanjutan dapat diwujudkan untuk menyempurnakan kecepatan perpindahan, impedansi keluaran, dan sebagainya.

Konsep Flip-flop RS yang harus diingat adalah sbb:

- R dan S keduanya rendah berarti keluaran Y tetap berada pada keadaan terakhirnya secara tak terbatas akibat adanya aksi penggrendelan internal.
- Masukan S yang tinggi mengeset keluaran Y ke 1, kecuali jika keluaran ini memang telah berada pada keadaan tinggi. Dalam hal ini keluaran tidak berubah, walaupun masukan S kembali ke keadaan rendah.
- Masukan R yang tinggi mereset keluaran Y ke 0, kecuali jika keluaran ini memang telah rendah. Keluaran y selanjutnya tetap pada keadaan rendah, walaupun masukan R kembali ke keadaan rendah.
- Memberikan R dan S keduanya tinggi pada saat yang sama adalah terlarang karena merupakan pertentangan (Kondisi ini mengakibatkan masalah pacu, yang akan dibahas kemudian).

	<b>FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA</b>			
	<b>LAB SHEET TEKNIK DIGITAL</b>			
	Semester 3	<b>RS FLIP - FLOP</b>		4 X 60 Menit
	No.LST/EKO/DEL 214/03	Revisi : 02	Tgl : 1 Februari 2010	Hal 3 dari 5

Pengembangan lebih lanjut dari RS – FF adalah RS Clock FF. Perbedaan cara kerja dari Clocked RS FF adalah bahwa flip –flop akan mengalami perubahan seperti pada RS FF menunggu sinyal clock aktif (logika tinggi).



Gambar 3. Clocked RS FF

#### 4. Alat dan Instrument

- |                             |            |
|-----------------------------|------------|
| - Digital Trainer Kit       | 1 buah     |
| - Tools kit(tang)           | 1 buah     |
| - IC 7408, 7404, 7400, 7402 | @ 1 buah   |
| - Kabel penghubung          | secukupnya |
| - Pinset                    | 1 buah     |

#### 5. Keselamatan Kerja

- Bekerjalah dengan keadaan tanpa tegangan pada saat membuat rangkaian dan mengubah rangkaian
- Lepaslah IC dari soket dengan hati-hati dan menggunakan peralatan pinset
- Jauhkan peralatan yang tidak diperlukan dari meja kerja

#### 6. Langkah Kerja

- Gunakan bagian Basic Logic Gates pada digital trainer kit yang disediakan
- Buatlah rangkaian percobaan 1.
- Berikan input dengan menggunakan Logic Switch
- Bacalah output rangkaian dengan melihat pada logic monitor
- Ubahlah input sesuai dengan tabel 1 dan masukkan hasil pengamatan pada tabel tersebut
- Ulangi langkah c, d, dan e untuk rangkaian 2
- Buatlah rangkaian RS Clock FF
- Ulangi langkah c, d, dan e dan masukkan hasil pengamatan pada Tabel 3

#### 7. Bahan Diskusi

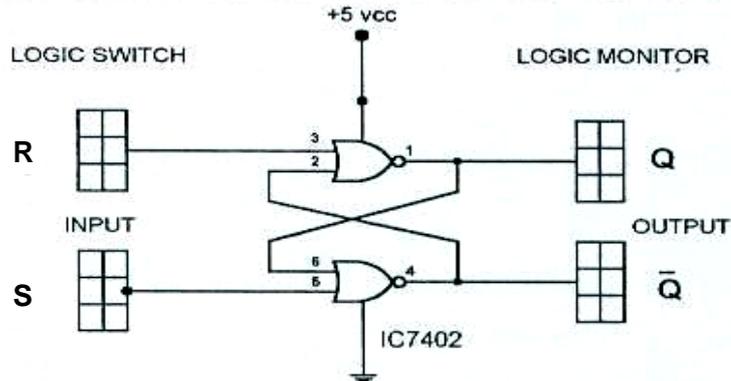
- Jelaskan cara kerja rangkaian RS - FF menggunakan gerbang NOR
- Jelaskan cara kerja rangkaian RS - FF menggunakan gerbang NAND
- Jelaskan cara kerja rangkaian Clocked RS FF
- Buat kesimpulan dari percobaan yang sudah dilakukan

Dibuat oleh : Herlambang SP	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh : ACN
--------------------------------	---	-------------------------

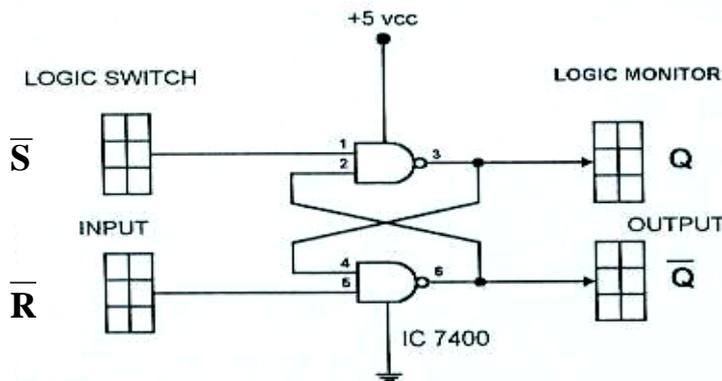


8. Lampiran

a) Gambar Rangkaian



Rangkaian 1. RS – FF dengan gerbang NOR



Rangkaian 2. RS – FF dengan gerbang NAND

b) Tabel Percobaan

Tabel 1. Percobaan RS FF dengan gerbang NOR

R	S	Q	$\bar{Q}$
0	0		
0	1		
1	0		
1	1		

**FAKULTAS TEKNIK UNIVERSITAS NEGERI YOGYAKARTA****LAB SHEET TEKNIK DIGITAL**

Semester 3

**RS FLIP - FLOP**

4 X 60 Menit

No.LST/EKO/DEL 214/03

Revisi : 02

Tgl : 1 Februari 2010

Hal 5 dari 5

Tabel 2. Percobaan RS FF dengan gerbang NAND

R	S	$\bar{R}$	$\bar{S}$	Q	$\bar{Q}$
0	0				
0	1				
1	0				
1	1				

Tabel 3. Percobaan Clocked RS FF

Clock	R	S	Q	$\bar{Q}$
0	0	0		
1	0	0		
0	0	1		
1	0	1		
0	1	0		
1	1	0		
0	1	1		
1	1	1		

Dibuat oleh :  
Herlambang SPDilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri YogyakartaDiperiksa oleh :  
ACN