

	FAKULTAS TEKNIK			
	UNIVERSITAS NEGERI YOGYAKARTA			
	LAB SHEET TEKNIK DIGITAL			
	Semester 3	JK FLIP - FLOP		4 X 60 Menit
No. LST/EKO/DEL 214/05	Revisi : 01	Tgl : 28 Maret 2010	Hal 1 dari 9	

1. Kompetensi

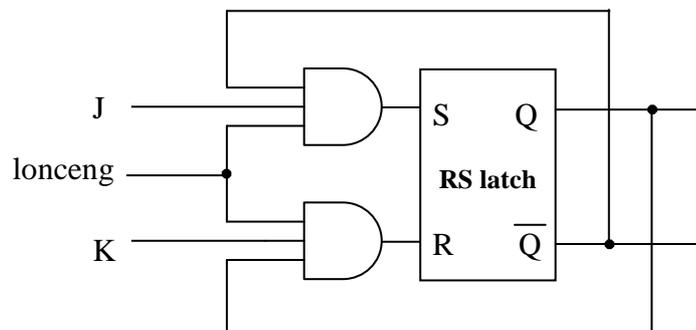
Memahami cara kerja rangkaian J-K F-F

2. Sub Kompetensi

- Memahami cara kerja rangkaian dan sifat-sifat J-K F-F
- Memahami cara kerja rangkaian dan sifat kerja *Master-Slave* J-K F-F

3. Dasar Teori

Gambar 1 memperlihatkan salah satu cara untuk membangun sebuah flip-flop J-K, J dan K disebut masukan pengendali karena menentukan apa yang dilakukan oleh flip-flop pada saat suatu pingiran pulsa positif tiba.



Gambar 1. Rangkaian flip-flop JK

Cara kerja rangkaian di atas dapat dijelaskan sebagai berikut.

- Pada saat J dan K keduanya 0, R dan S pasti bernilai 0-0, sehingga Q tetap pada nilai terakhirnya .
- Pada saat J rendah dan K tinggi, gerbang atas tertutup (S bernilai 0), maka tidak terdapat kemungkinan untuk mengeset flip-flop.
Bila Q tinggi ($Q = 1$) dan lonceng = 1, gerbang bawah (lonceng AND K AND Q) akan melewati pemicu reset ($R = 1$) yang akan menyebabkan Q menjadi rendah
Jadi J = 0 dan K = 1 berarti lonceng = 1 akan mereset flip-flopnya ($Q = 0$), bila Q sebelumnya tinggi.
- Pada saat J tinggi dan K rendah, maka tidak terdapat kemungkinan untuk mereset flip-flop ((karena R pasti bernilai 0).
Bila Q rendah ($Q = 0$ dan $\bar{Q} = 1$) dan lonceng = 1, gerbang atas (lonceng AND J AND \bar{Q}) akan melewati pemicu set ($S = 1$) yang akan menyebabkan Q menjadi tinggi
Jadi J = 1 dan K = 0 berarti lonceng = 1 akan mengeset flip-flopnya ($Q = 1$), bila Q sebelumnya rendah.
- Pada saat J dan K keduanya tinggi, dapat mengeset atau mereset flip-flopnya, tergantung kondisi Q sebelumnya.
Bila Q tinggi ($Q = 1$) dan lonceng = 1, gerbang bawah akan melewati pemicu reset ($R = 1$) yang akan menyebabkan Q menjadi rendah.

Dibuat oleh : HSP dan ACN	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
------------------------------	--	------------------



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

JK FLIP - FLOP

4 X 60 Menit

No. LST/EKO/DEL 214/05

Revisi : 01

Tgl : 28 Maret 2010

Hal 2 dari 9

Bila Q rendah ($Q = 0$) dan lonceng = 1, maka $\overline{Q} = 1$, gerbang atas akan melewati pemicu set ($S = 1$) yang akan menyebabkan Q menjadi tinggi.

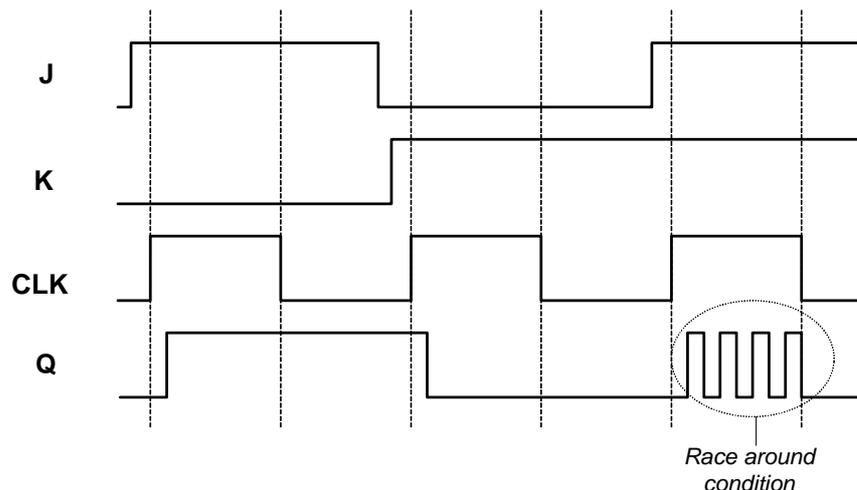
Jadi $J = 1$ dan $K = 1$ berarti bahwa pinggiran pulsa lonceng positif berikutnya akan membuat nilai Q yang baru adalah kebalikan dari nilai Q sebelumnya ($Q_{t+1} = \overline{Q}_t$).

Tabel 1. FLIP-FLOP JK

CLK	J	K	Q
0	0	0	Keadaan terakhir
↑	0	1	0
↑	1	0	1
↑	1	1	Keadaan terakhir

Kondisi Osilasi (*Race-around Condition*)

Rangkaian FF J-K di atas mempunyai satu kelemahan, yaitu memungkinkan terjadinya kondisi osilasi atau *race-around condition*. Hal ini terjadi jika lebar pulsa lonceng (*clock*) lebih besar dari waktu pensaklaran FF (waktu yang dibutuhkan keluaran bereaksi terhadap keluaran). Dalam keadaan ini keluaran yang diumpanbalikkan ke masukan akan mengubah masukan, sehingga menyebabkan perubahan pada keluaran, dan seterusnya, sehingga akhir pulsa lonceng, sehingga keluaran FF tidak jelas. Hal ini terutama terjadi ketika rangkaian di atas mendapat masukan $J = 1$ dan $K = 1$. Hal tersebut dapat dilihat pada diagram pewaktuan (*timing diagram*) berikut.



Gambar 2. Kondisi Osilasi.

Untuk mengatasi kondisi osilasi, dikembangkan flip-flop dengan pemicuan sisi (*edge triggering*) dan flip-flop utama/pembantu (*master/slave flip-flop*).

Dibuat oleh :
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA

LAB SHEET TEKNIK DIGITAL

Semester 3

JK FLIP - FLOP

4 X 60 Menit

No. LST/EKO/DEL 214/05

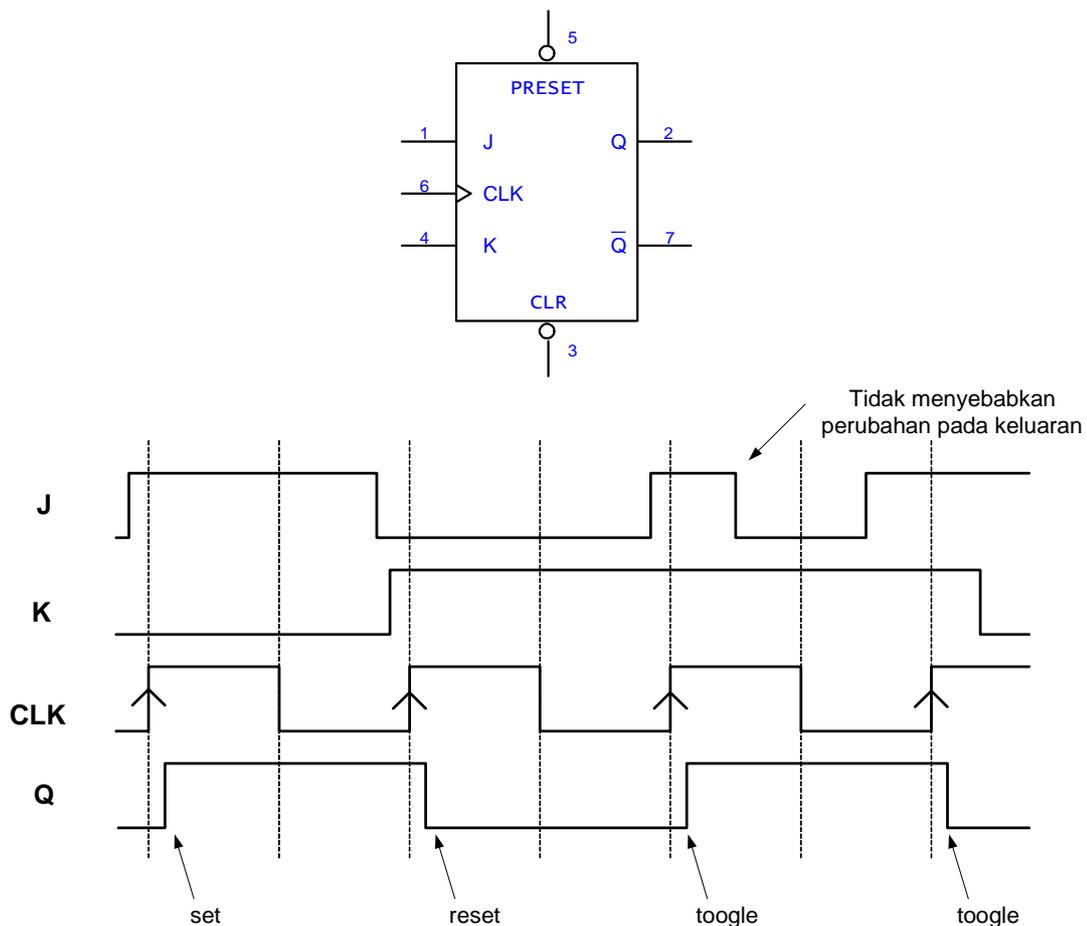
Revisi : 01

Tgl : 28 Maret 2010

Hal 3 dari 9

Edge-triggered Flip-Flop

Seperti telah disebutkan di atas, salah satu cara untuk mengatasi *race-around condition* adalah dengan mengembangkan *edge-triggered flip-flop*. Berikut adalah simbol dari *Positive-edge-triggered J-K FF* yang berada dalam IC 74109. Tabel 1 di atas sebenarnya menunjukkan perilaku F-F J-K jenis ini.



Gambar 3. Simbol dan bentuk pulsa masukan-keluaran *Positive-edge-triggered JK-FF*.

Flip-flop JK Utama/Pembantu (JK Master/Slave Flip-Flops)

Gambar 4 memperlihatkan cara membangun sebuah flip-flop JK utama/pembantu (*JK master/slave flip-flop*) untuk menghindari **kondisi osilasi**. Cara kerjanya adalah sebagai berikut.

- Pada saat pulsa *clock* diterapkan ($CLK = 1$), F-F *master* akan *enable* dan keluaran akan berubah sesuai masukan J dan K. Tetapi saat itu pulsa *clock* yang masuk ke F-F *slave* adalah $CLK = 0$, F-F *slave* akan *disable*, tidak ada perubahan pada keluaran.

Dibuat oleh :
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

JK FLIP - FLOP

4 X 60 Menit

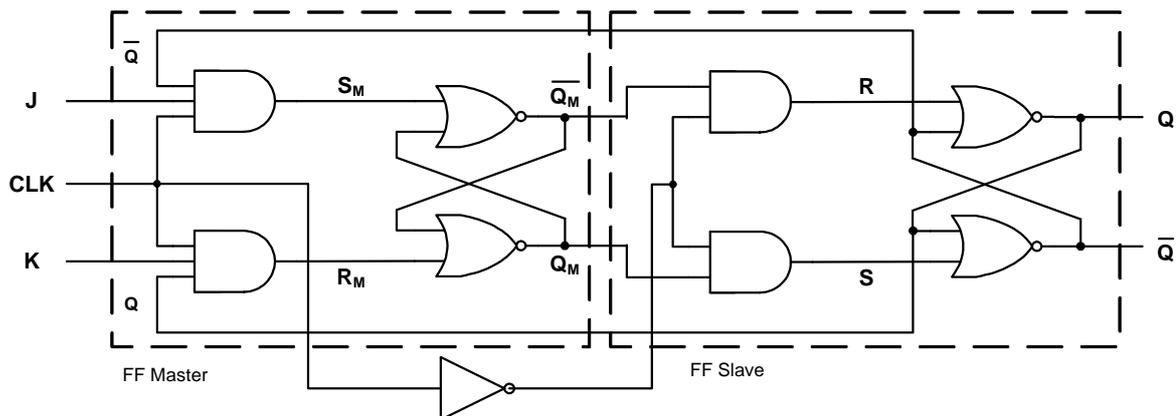
No. LST/EKO/DEL 214/05

Revisi : 01

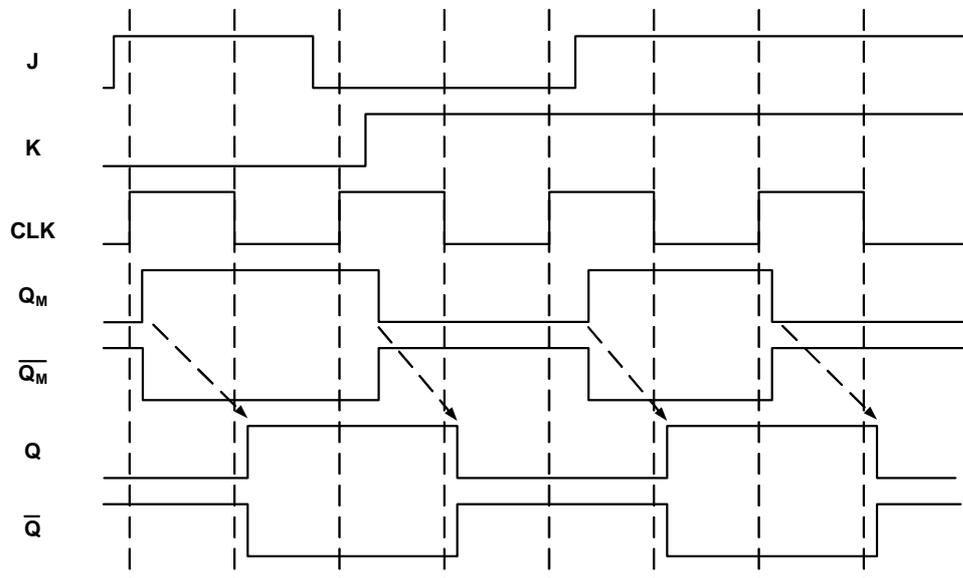
Tgl : 28 Maret 2010

Hal 4 dari 9

- Pada akhir pulsa *clock*, $CLK = 0$ dan $\overline{CLK} = 1$, F-F *master* akan *disable* dan F-F *slave* akan *enable*. F-F *slave* akan merubah keluarannya sesuai dengan keluaran Q_M dan \overline{Q}_M . Jika $Q_M = 1$ dan $\overline{Q}_M = 0$, maka $Q = 1$ dan $\overline{Q} = 0$, atau sebaliknya.
- Jadi selama selang waktu detak, keluaran Q tidak akan berubah tetapi Q_M mengikuti logika J-K, pada akhir pulsa detak, nilai Q_M akan ditransfer ke Q.



Gambar 4. Master-Slave JK FF untuk menghindari osilasi



Gambar 5. Keluaran-masukan *Master/Slave JK* untuk menghindari osilasi.

Master/Slave JK Flip-Flops dengan *edge-triggered flip-flop*

Gambar 6 memperlihatkan cara lain membangun sebuah flip-flop JK utama/pembantu (*JK master/slave flip-flop*). Cara kerjanya adalah sebagai berikut.

- Jika $J=1$ dan $K=0$, flip-flop utama diset pada saat pinggiran-positif pulsa lonceng tiba. Keluaran Q_M yang tinggi dari flip-flop utama mendrive masukan J pada flip-flop

Dibuat oleh :
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA

LAB SHEET TEKNIK DIGITAL

Semester 3

JK FLIP - FLOP

4 X 60 Menit

No. LST/EKO/DEL 214/05

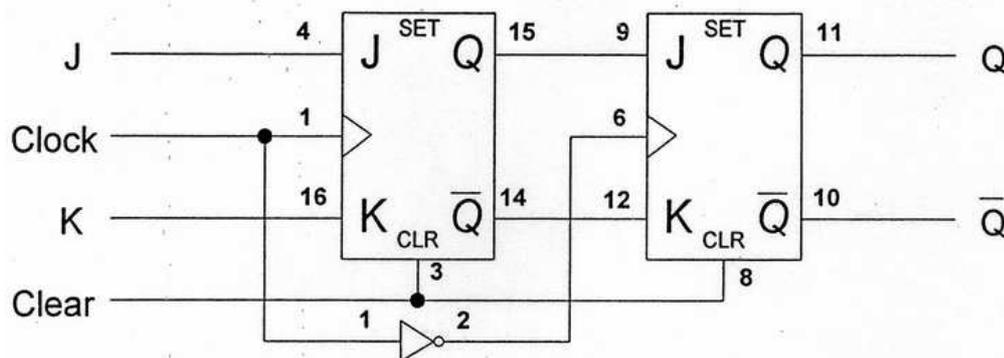
Revisi : 01

Tgl : 28 Maret 2010

Hal 5 dari 9

pembantu, maka pada saat pinggiran-negatif pulsa lonceng tiba, flip-flop pembantu diset, menyamai kerja flip-flop utama.

- Jika $J=0$ dan $K=1$, flip-flop utama direset pada saat pinggiran-positif pulsa lonceng tiba. Keluaran \overline{Q}_M yang tinggi dari flip-flop utama menuju ke masukan K pada flip-flop pembantu. Oleh karenanya, kedatangan pinggiran-negatif pulsa lonceng mendorong flip-flop pembantu untuk reset. Sekali lagi, flip-flop pembantu menyamai kerja flip-flop utama.
- Jika masukan J dan K pada flip-flop utama adalah tinggi, maka flip-flop ini *toggle* pada saat pinggiran-positif pulsa lonceng tiba sedang flip-flop pembantu *toggle* pada saat pinggiran-negatif pulsa lonceng tiba. Dengan demikian, apapun yang dilakukan oleh flip-flop utama, akan dilakukan pula oleh flip-flop pembantu: jika flip-flop utama diset, flip-flop pembantu diset; jika flip-flop utama direset, flip-flop pembantu direset pula, namun waktunya selisih satu pulsa detak.



Gambar 6. Master-Slave JK FF dengan *Positive-edge-triggered* JK-FF.

Flip-flop J-K dalam IC 7473

Flip-flop JK yang terdapat di dalam IC 7473 disebut *Negative-Edge-Triggered Master/Slave J-K Flip-Flop* (*datasheet* lain menyebutnya *Positive Pulse-Triggered*, yang pada dasarnya hampir sama maknanya). Dalam satu IC 7473 terdapat dua Flip-Flop J-K dengan konfigurasi kaki-kaki sebagai berikut.

Dibuat oleh :
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

JK FLIP - FLOP

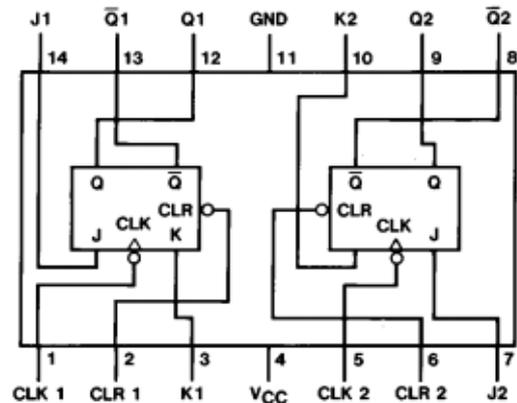
4 X 60 Menit

No. LST/EKO/DEL 214/05

Revisi : 01

Tgl : 28 Maret 2010

Hal 6 dari 9



Gambar 7. Diagram koneksi IC 7473.

4. Alat dan Instrument

- Digital Trainer Kit 1 buah
- Tools kit(tang) 1 buah
- IC IC TTL 7473, 7415, 7402 @ 1 buah
- Kabel penghubung secukupnya
- Pinset 1 buah

5. Keselamatan Kerja

- Bekerjalah dengan keadaan tanpa tegangan pada saat membuat rangkaian dan mengubah rangkaian
- Lepaslah IC dari soket dengan hati-hati dan menggunakan peralatan pinset
- Jauhkan peralatan yang tidak diperlukan dari meja kerja

6. Langkah Kerja

- a) Gunakan bagian Basic Logic Gates pada digital trainer kit yang disediakan.
- b) Buatlah rangkaian percobaan 1.
- c) Berikan input dengan menggunakan Logic Switch.
- d) Bacalah output rangkaian dengan melihat pada logic monitor.
- e) Ubahlah input sesuai dengan tabel 1 dan masukkan hasil pengamatan pada tabel tersebut.
- f) Ulangi langkah c, d, dan e untuk rangkaian 2 dan 3.

7. Bahan Diskusi

- a. Jelaskan prinsip kerja JK Flip-Flop
- b. Jelaskan fungsi kaki set dan clear pada JK Flip-flop
- c. Jelaskan cara kerja Master-Slave JK Flip-flop
- d. Apa tujuan dibuat JK Flip-Flop Master-Slave

Dibuat oleh :
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

JK FLIP - FLOP

4 X 60 Menit

No. LST/EKO/DEL 214/05

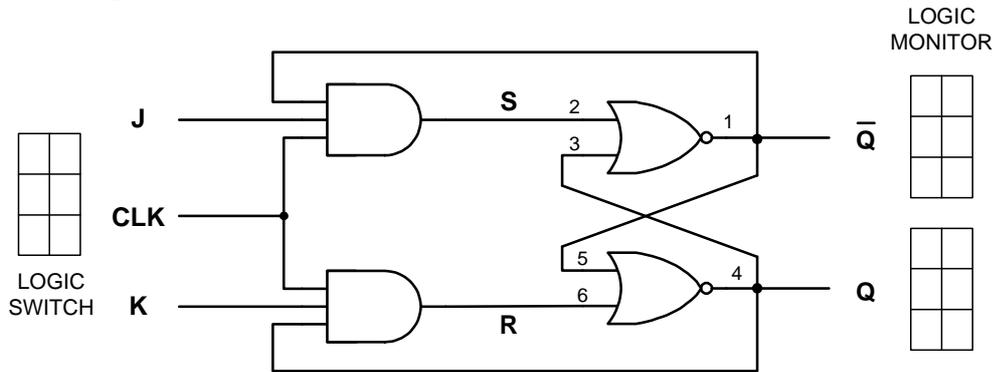
Revisi : 01

Tgl : 28 Maret 2010

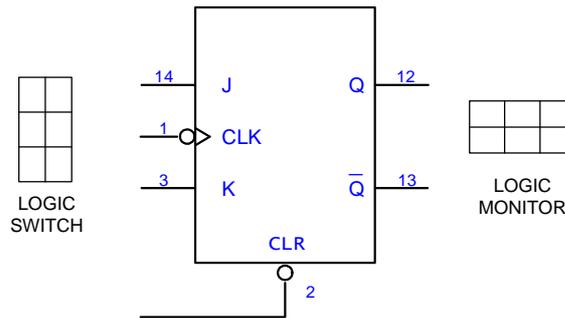
Hal 7 dari 9

8. Lampiran

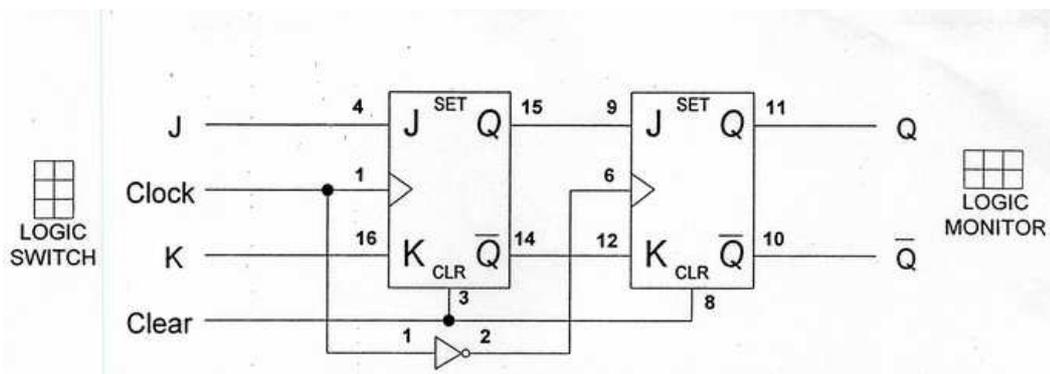
a) Gambar Rangkaian



Rangkaian 1. JK Flip-flop dengan gerbang NOR



Rangkaian 2. JK Flip-flop dengan IC 7473



Rangkaian 3. Master-Slave JK Flip-flop

Dibuat oleh :
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

JK FLIP - FLOP

4 X 60 Menit

No. LST/EKO/DEL 214/05

Revisi : 01

Tgl : 28 Maret 2010

Hal 8 dari 9

b) Tabel Percobaan

Tabel 1. Percobaan JK F-F dengan gerbang NOR

INPUT			OUTPUT	
Clock	J	K	Q	\bar{Q}
0	0	0		
1	0	0		
0	0	1		
1	0	1		
0	1	0		
1	1	0		
0	1	1		
1	1	1		

Catatan :

- ubah masukan CLOCK paling awal dibanding masukan J dan K

Tabel 2. Percobaan J-K F-F dengan IC 7473

INPUT			OUTPUT	
J	K	Clock	Q	\bar{Q}
0	0	↓		
0	1	↓		
1	0	↓		
1	1	↓		
1	1	↓		
0	1	1		
1	0	1		

Catatan :

- ↓ artinya NGT (Negative-Going-Transition), yaitu perubahan level Clock dari 1 ke 0
- lakukan NGT setelah masukan J dan K diubah.

Dibuat oleh :
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

JK FLIP - FLOP

4 X 60 Menit

No. LST/EKO/DEL 214/05

Revisi : 01

Tgl : 28 Maret 2010

Hal 9 dari 9

Tabel 3. Percobaan Master-Slave J-K F-F

INPUT			OUTPUT			
Clock	J	K	Q ₁	\bar{Q}_1	Q ₂	\bar{Q}_2
0	0	0				
1	0	0				
0	0	1				
1	0	1				
0	1	0				
1	1	0				
0	1	1				
1	1	1				
0	1	1				

Catatan :

- ubah masukan Clock paling awal dibanding masukan J dan K

Dibuat oleh :
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :