	<b>FAKULTAS TEKNIK</b>		
	<b>UNIVERSITAS NEGERI YOGYAKARTA</b>		
	<b>LAB SHEET TEKNIK DIGITAL</b>		
	Semester 3	<b>LS 6 : COUNTER</b>	
No. LST/EKO/DEL 214/06	Revisi : 01	Tgl : 28 Maret 2010	Hal 1 dari 9

### 1. Kompetensi

Memahami cara kerja rangkaian pencacah (*counter*).

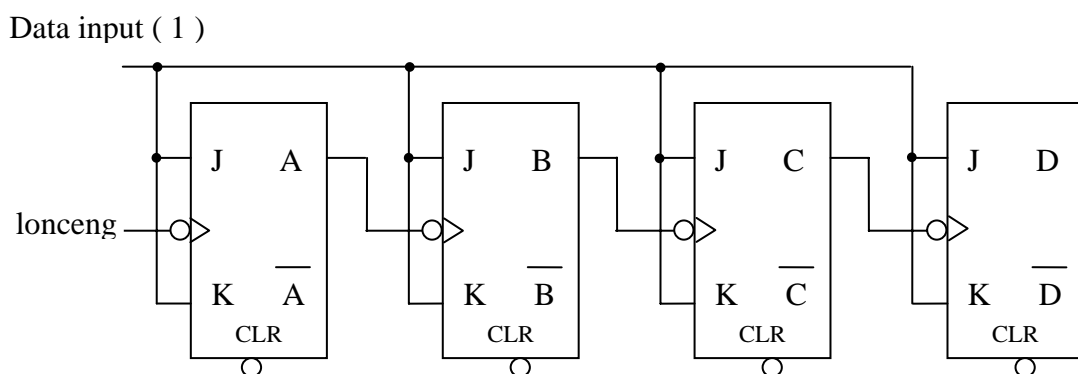
### 2. Sub Kompetensi

- Memahami cara kerja rangkaian *binary counter*.
- Memahami cara kerja rangkaian *decimal counter*.

### 3. Dasar Teori

#### Pencacah Biner

Flip-flop dapat dihubungkan untuk mendapatkan sebuah pencacah elektronik, suatu unit yang mencacah banyaknya picu masukan. Gambar 1 memperlihatkan empat buah flip-flop yang dirangkai menjadi satu rangkaian seri. Suatu gelombang segiempat memicu flip-flop A. Perhatikan bahwa keluaran flip-flop A memicu flip-flop B, yang selanjutnya keluarannya memicu flip-flop C, yang selanjutnya memicu flip-flop D. Semua masukan J dan K dihubungkan ke  $+V_{cc}$ . Ini berarti masing-masing flip-flop akan berubah keadaan (*toggle*) akibat peralihan negatif pada masukan loncengnya.



Gambar 1. Pencacah biner asinkron 4-bit.

Bila keluaran suatu flip-flop memicu flip-flop lainnya, pencacah tersebut disebut pencacah kerut (*ripple counter*) atau pencacah tak serempak (asinkron); flip-flop A harus berubah keadaan sebelum dia memicu flip-flop B; B harus berubah sebelum dia dapat memicu C; dan seterusnya. Pemicu bergerak melalui flip-flop bagaikan riak gelombang dalam air. Oleh sebab itu, waktu tunda rambatan keseluruhan merupakan jumlah masing-masing waktu tunda. Jika masing-masing flip-flop dalam sebuah pencacah biner empat-bit mempunyai  $t_p$  sebesar 10 ns,  $t_p$  keseluruhan adalah 40 ns.

Dibuat oleh : HSP dan ACN	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
------------------------------	---	------------------



FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 6 : COUNTER

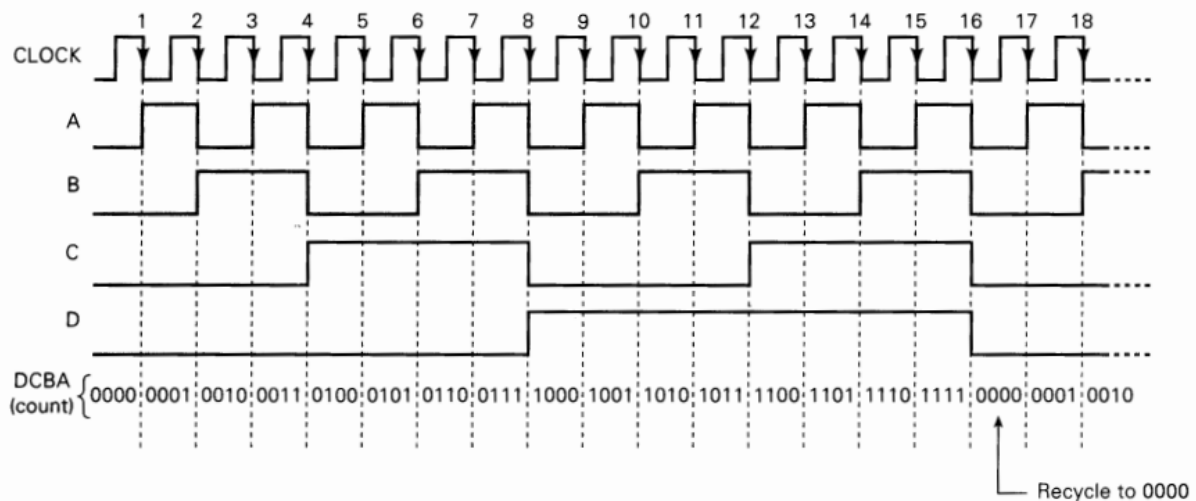
4 X 60 Menit

No. LST/EKO/DEL 214/06

Revisi : 01

Tgl : 28 Maret 2010

Hal 2 dari 9



Gambar 2. Bentuk gelombang dari rangkaian pencacah biner 4-bit

Apa yang terjadi pada saat masing-masing pulsa lonceng tiba? Marilah kita asumsikan bahwa semua flip-flop pada mulanya direset sehingga menghasilkan keluaran-keluaran 0. Dengan demikian, kondisi keluaran adalah  $D C B A = 0 0 0 0$  sebelum datangnya pulsa lonceng pertama.

- Ketika lonceng pertama tiba, flip-flop A berubah keadaan pada titik perpindahan menuju negatif pulsa tersebut. Maka, pada akhir daur masukan pertama, kondisi keluaran adalah  $D C B A = 0 0 0 1$ . Keluaran A telah berpindah dari 0 ke 1, sehingga ini merupakan perubahan positif. Bila dicatukan ke masukan lonceng flip-flop B, perubahan positif ini tidak memberikan dampak karena masukan lonceng hanya memberikan tanggapan terhadap perubahan menuju negatif.
- Ketika pulsa lonceng kedua tiba, flip-flop A kembali berubah keadaan pada pinggirannya negatif gelombang segiempat masukan ini. Dalam perubahannya A berpindah dari 1 ke 0, suatu perubahan negatif. Perubahan menuju negatif ini memicu flip-flop B; oleh karenanya B berubah dari 0 ke 1. Perubahan menuju positif pada B ini tidak memberikan dampak terhadap C. Maka, pada akhir pulsa lonceng kedua, kondisi keluaran keempat flip-flop adalah  $D C B A = 0 0 1 0$ .
- Setelah pulsa lonceng ketiga, A berubah dari 0 ke 1; perubahan menuju positif ini tidak memberikan dampak terhadap flip-flop lainnya, maka kondisi keluaran adalah  $D C B A = 0 0 1 1$ .
- Pada pinggirannya-positif pulsa lonceng keempat, A berubah dari 1 ke 0. Hal ini menyebabkan B berubah dari 1 ke 0 pula. Selanjutnya, perubahan menuju-negatif pada B mendorong C berubah dari 0 ke 1. Kondisi keluaran keempat flip-flop dengan demikian menjadi  $D C B A = 0 1 0 0$ . Demikian seterusnya hingga pulsa lonceng terakhir.

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 6 : COUNTER**

4 X 60 Menit

No. LST/EKO/DEL 214/06

Revisi : 01

Tgl : 28 Maret 2010

Hal 3 dari 9

Tabel 1 Tabel kebenaran pencacah 4 bit

Pulsa Clock ke-	D	C	B	A
1	0	0	0	0
2	0	0	0	1
3	0	0	1	0
4	0	0	1	1
5	0	1	0	0
6	0	1	0	1
7	0	1	1	0
8	0	1	1	1
9	1	0	0	0
10	1	0	0	1
11	1	0	1	0
12	1	0	1	1
13	1	1	0	0
14	1	1	0	1
15	1	1	1	0
16	1	1	1	1

### Pencacah Biner Menurun

Pencacah yang dibahas di atas akan mencacah dari nol ke satu, dan seterusnya, atau disebut pencacah menaik. Tidak sulit untuk membuat sebuah pencacah yang mencacah turun. Gambar 3 memperlihatkan sebuah rangkaian sebuah pencacah menurun 3-bit. Perbedaan rangkaian tersebut dengan rangkaian pencacah menaik adalah masukan *Clock* flip-flop kedua (dan seterusnya) mengambil keluaran  $\bar{Q}$  dari flip-flop sebelumnya.

Selain dengan rangkaian tersebut, sebenarnya rangkaian pencacah pada Gambar 1 juga dapat difungsikan sebagai pencacah menurun, yaitu dengan cara mengambil keluaran  $\bar{A}$ ,  $\bar{B}$ ,  $\bar{C}$ , dan  $\bar{D}$ . Silahkan Anda mencermati Gambar 2, dan menggambar sendiri keluaran  $\bar{A}$ ,  $\bar{B}$ ,  $\bar{C}$ , dan  $\bar{D}$  seiring masuknya pulsa *Clock*.

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 6 : COUNTER**

4 X 60 Menit

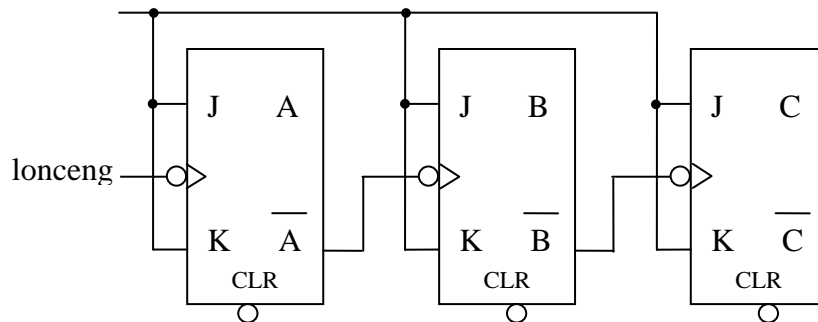
No. LST/EKO/DEL 214/06

Revisi : 01

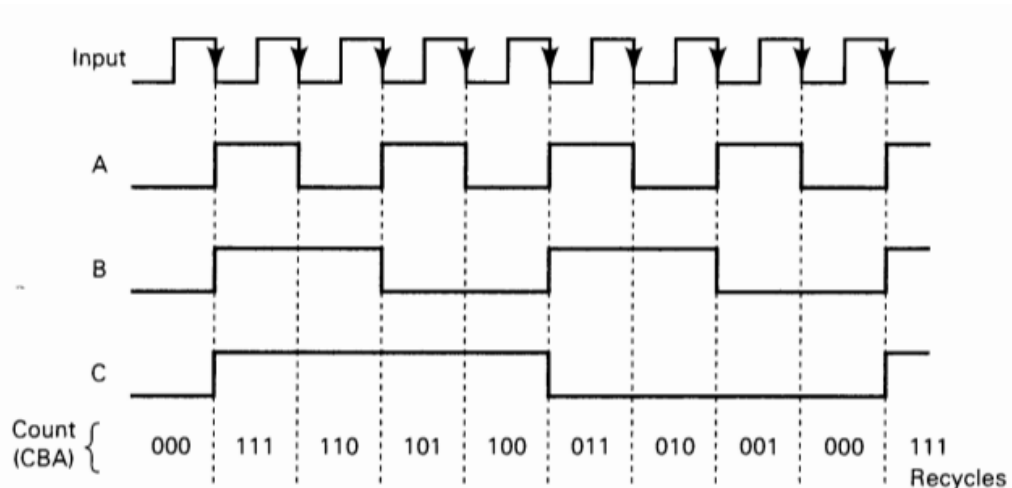
Tgl : 28 Maret 2010

Hal 4 dari 9

Data input ( 1 )



Gambar 3. Pencacah biner menurun asinkron 3-bit.



Gambar 4. Bentuk gelombang dari rangkaian pencacah biner menurun 3-bit

**Waktu tunda Propagasi Pencacah Asinkron**

Masalah yang dijumpai pada pencacah asinkron adalah waktu tunda propagasi FF yang diakumulasi, yang disebabkan FF yang terlibat tidak mengubah kondisinya secara bersamaan secara sinkron dengan pulsa masukan *clock*. Pada penggunaan pencacah dengan frekuensi *clock* yang tinggi dan banyak FF yang dirangkai, hal tersebut dapat menimbulkan kesalahan seperti diilustrasikan pada Gambar 5.



FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 6 : COUNTER

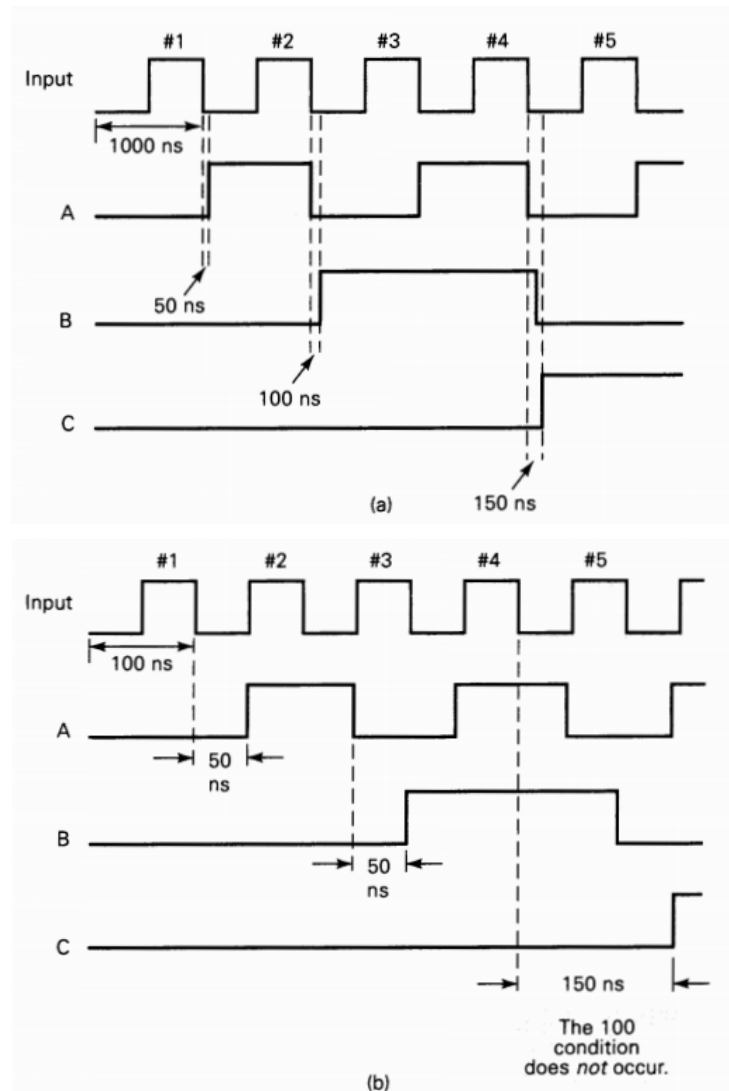
4 X 60 Menit

No. LST/EKO/DEL 214/06

Revisi : 01

Tgl : 28 Maret 2010

Hal 5 dari 9



Gambar 5. Gelombang keluaran dari pencacah asinkron mengambarkan pengaruh waktu tunda propagasi.

### Pencacah Sinkron

Keterbatasan pada pencacah asinkron seperti dibahas di atas dapat diatasi dengan pencacah sinkron atau pencacah paralel. Pada pencacah ini semua FF akan dipicu secara simultan oleh pulsa masukan *clock*. Karena pulsa-pulsa masukan *clock* diumpankan pada semua FF, maka suatu cara perlu dilakukan untuk mengendalikan kapan sebuah FF mengalami *toggle* dan kapan FF tersebut tidak terpengaruh pulsa *clock*. Hal ini diperoleh dengan menggunakan input J dan K seperti diperlihatkan pada Gambar 6, untuk pencacah sinkron 4-bit, MOD-16.

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 6 : COUNTER

4 X 60 Menit

No. LST/EKO/DEL 214/06

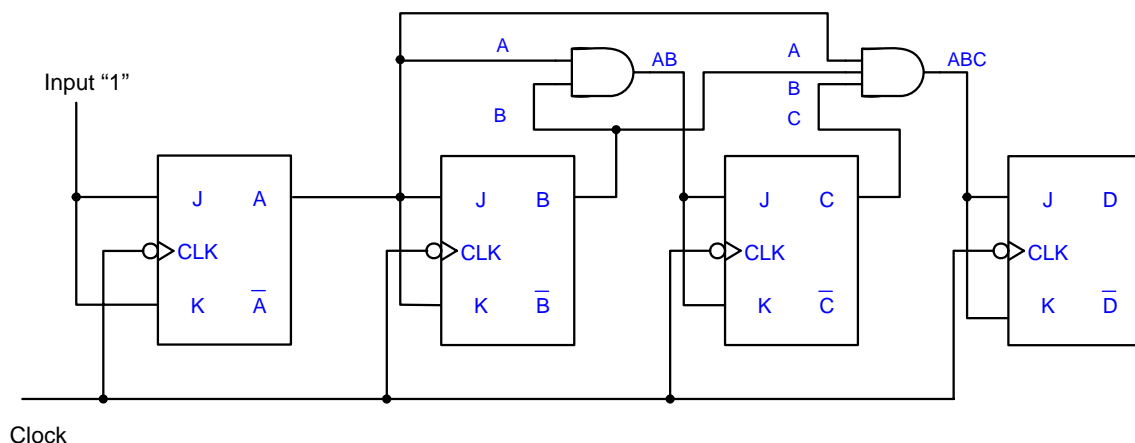
Revisi : 01

Tgl : 28 Maret 2010

Hal 6 dari 9

Bila kita bandingkan rangkaian pencacah sinkron dengan pencacah asinkron yang setara, kita dapat melihat perbedaan-perbedaan sebagai berikut.

- Masukan CLK untuk semua FF dihubungkan menjadi satu sehingga sinyal masukan *clock* diberikan kepada semua FF secara bersamaan.
- Hanya masukan J dan K dari flip-flop A (yang memberikan keluaran untuk LSB) yang secara permanen dihubungkan dengan aras tinggi. Input J dan K dari FF yang lain diberi masukan dari kombinasi output FF yang lain.
- Pencacah sinkron membutuhkan lebih banyak rangkaian dibandingkan pencacah sinkron.



Gambar 6. Pencacah sinkron 4-bit dengan *parallel carry*.

Selanjutnya pencacah sinkron dapat dibagi menjadi dua jenis, yaitu yang menggunakan *series carry* (*ripple-through carry*) dan yang menggunakan *parallel carry*. Gambar 5 memperlihatkan pencacah sinkron dengan *parallel carry*, sedangkan pencacah sinkron dengan *series carry* diperlihatkan di gambar rangkaian Percobaan 2. Pada pencacah sinkron dengan *series carry*, gerbang AND kedua (antara FF C dan FF D) harus menunggu keluaran AND pertama, sehingga waktu propagasi pencacah sinkron dengan *series carry* lebih buruk dari pencacah dengan *parallel carry*. Namun pencacah asinkron dengan *parallel carry* juga mempunyai kelemahan, yaitu mensyaratkan *fan-in* yang tinggi pada gerbang AND (dua masukan untuk gerbang AND pertama, tiga masukan untuk gerbang AND kedua, dan seterusnya) dan beban yang berat untuk FF di bagian awal deret (pada pencacah 4-bit, *fan out* untuk FF A adalah  $4 - 1 = 3$ , dan seterusnya).

### Pencacah Desimal

Pada sistem digital, sebuah digit desimal bisa diwakili satu sekuens digit biner dengan mekanisme penyandian (*encoding*) yang disebut *Binary Coded Desimal* (BCD). Dengan BCD, sebuah digit desimal akan diwakili 4 bit yang dapat merepresentasikan digit 0 s/d 9. Walau kita dapat membangun pencacah dekade dengan menggunakan sandi-sandi BCD lainnya, namun pada umumnya pencacah dekade menggunakan sandi BCD 8421. Pada sandi BCD 8421, bit paling kanan (MSB) akan mempunyai bobot 8 ( $2^3$ ), bit ke-2 mempunyai bobot 4 ( $2^2$ ), dan seterusnya.

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 6 : COUNTER**

4 X 60 Menit

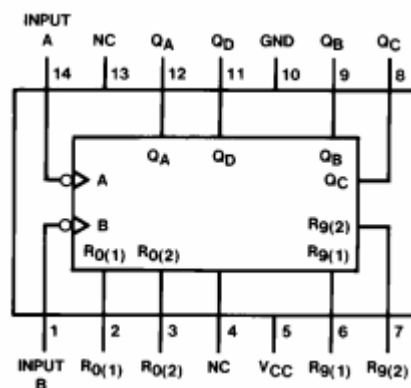
No. LST/EKO/DEL 214/06

Revisi : 01

Tgl : 28 Maret 2010

Hal 7 dari 9

Standar industri bagi pencacah dekade adalah 7490, suatu rangkaian terpadu skala-sedang (MSI) dalam seri TTL 7400. 7490 mencacah dalam sandi BCD 8421 dari 0000 sampai 1001; kemudian pencacah ini reset ke nol. Rangkaian MSI yang terkenal ini secara umum mempunyai disipasi daya sebesar 145 mW, waktu tunda rambatan sebesar 50 ns (keadaan terburuk), keluaran totem-pole, serta ciri-ciri lain yang dijelaskan pada lembar datanya. Untuk mencacah lebih dari 10, yang perlu kita lakukan adalah menggandengkan pencacah-pencacah dekade.



Gambar 7. Pencacah desimal 7490.

#### 4. Alat dan Instrument

- Digital Trainer Kit 1 buah
- Tools kit(tang) 1 buah
- IC 7473, 7408, 7490, 7447 @ 1 buah
- Kabel penghubung secukupnya
- Pinset 1 buah

#### 5. Keselamatan Kerja

- Bekerjalah dengan keadaan tanpa tegangan pada saat membuat rangkaian dan mengubah rangkaian.
- Lepaslah IC dari soket dengan hati-hati dan menggunakan peralatan pinset.
- Jauhkan peralatan yang tidak diperlukan dari meja kerja.

#### 6. Langkah Kerja

- a) Gunakan bagian Basic Logic Gates pada digital trainer kit yang disediakan.
- b) Buatlah rangkaian percobaan 1.
- c) Berikan input dengan menggunakan Logic Switch.
- d) Bacalah output rangkaian dengan melihat pada logic monitor 7-segment.
- e) Ubahlah input sesuai dengan tabel 1 dan masukkan hasil pengamatan pada tabel tersebut.
- f) Ulangi langkah c, d, dan e untuk rangkaian 2 .

#### 7. Bahan Diskusi

- a. Gambarlah bentuk pulsa keluaran dan masukan dari percobaan rangkaian 1.
- b. Rancanglah suatu pencacah decimal yang bisa mencacah sampai dengan 999 cacahan.

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 6 : COUNTER

4 X 60 Menit

No. LST/EKO/DEL 214/06

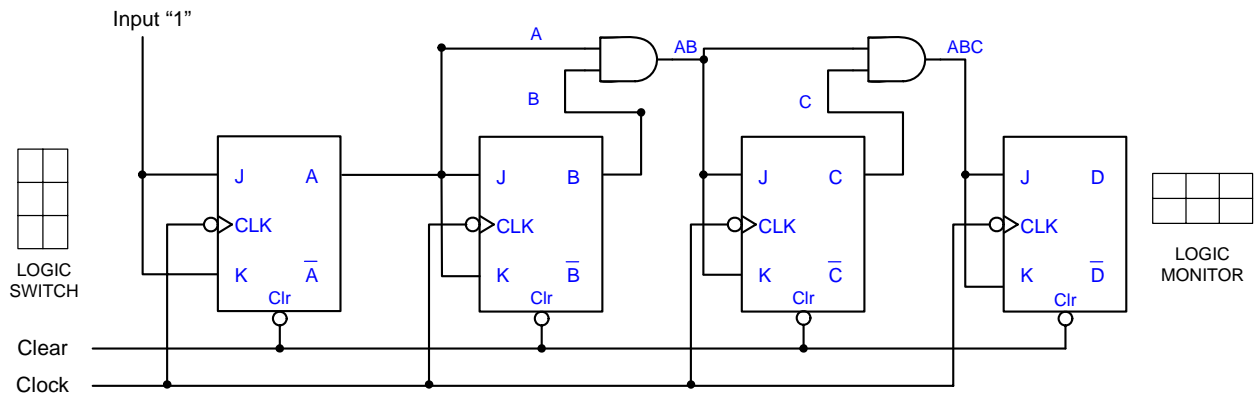
Revisi : 01

Tgl : 28 Maret 2010

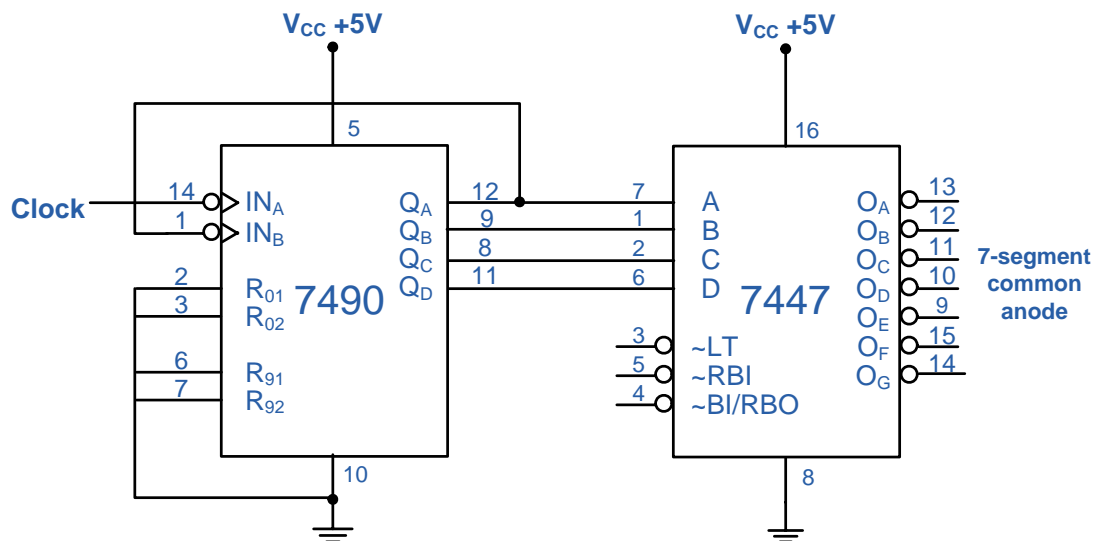
Hal 8 dari 9

### 8. Lampiran

#### a) Gambar Rangkaian



Rangkaian 1. Pencacah biner 4 bit.



Rangkaian 2. Pencacah desimal.

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :





**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 6 : COUNTER**

4 X 60 Menit

No. LST/EKO/DEL 214/06

Revisi : 01

Tgl : 28 Maret 2010

Hal 9 dari 9

b) Tabel Percobaan

Tabel 1. Percobaan pencacah biner

Input Clock	Output			
	D	C	B	A
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				
17				
18				

Tabel 2. Percobaan pencacah desimal

Input Clock	Output Seven Segment
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	
11	
12	

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :