	<b>FAKULTAS TEKNIK</b>			
	<b>UNIVERSITAS NEGERI YOGYAKARTA</b>			
	<b>LAB SHEET TEKNIK DIGITAL</b>			
	Semester 3	<b>LS 4 : FLIP – FLOP D</b>		4 X 60 Menit
No. LST/EKO/DEL 214/04	Revisi : 03	Tgl : 1 Maret 2012	Hal 1 dari 6	

### 1. Kompetensi

Memahami cara kerja rangkaian Flip-Flop D, baik yang berjenis *Level Sensitive Clocked D Flip-Flop* maupun *Edge-Triggered Clocked D Flip-Flop*.

### 2. Sub Kompetensi

- Memahami cara kerja rangkaian Flip-Flop D yang disusun dengan menggunakan gerbang NOR dan NAND
- Memahami cara kerja *Positive-Edge-Triggered D Flip-Flop*
- Memahami cara kerja dan fungsi kaki **preset** dan **clear** pada rangkaian D F-F

### 3. Dasar Teori

#### Rangkaian Kombinatorial dan Rangkaian Sekuensial

Rangkaian/untai digital dapat dibagi menjadi 2 jenis berdasar hubungan input dan output, yaitu:

1. **Rangkaian kombinatorial**, yaitu rangkaian yang outputnya suatu saat hanya tergantung pada input pada saat itu. Kombinasi input yang sama akan selalu menghasilkan kombinasi output yang sama pula.

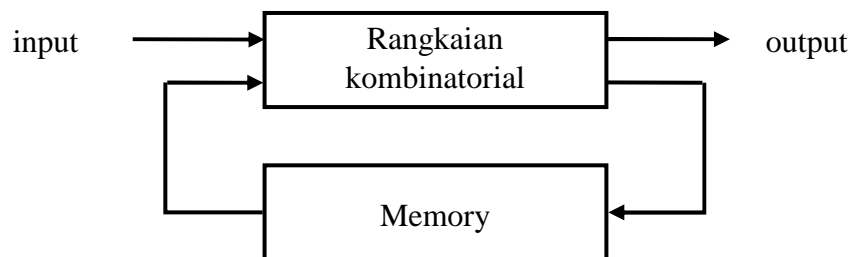
Contohnya adalah rangkaian penerapan prinsip Sum-of-Product pada Labsheet 2.



Gambar 1. Rangkaian kombinatorial

2. **Rangkaian sekuensial**, yaitu rangkaian yang outputnya tidak hanya tergantung pada input saat itu, tetapi juga tergantung pada keadaan (*state*) dari rangkaian tersebut, atau sering juga disebut tergantung pada ingatan (*memory*) dari rangkaian tersebut. Pada dasarnya jenis rangkaian ini dapat dilihat sebagai rangkaian kombinatorial yang dilengkapi *memory*, seperti ilustrasi pada Gambar 2.

Contohnya adalah rangkaian flip-flop yang telah mulai dipraktikkan pada Labsheet 3.



Gambar 2. Rangkaian sekuensial

Dibuat oleh : HSP dan ACN	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
------------------------------	--	------------------



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 4 : FLIP – FLOP D**

4 X 60 Menit

No. LST/EKO/DEL 214/04

Revisi : 03

Tgl : 1 Maret 2012

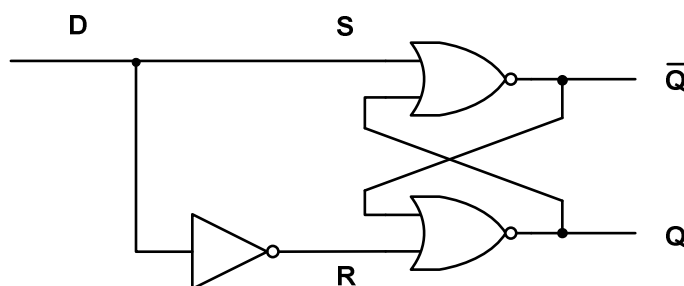
Hal 2 dari 6

### Flip-flop D

Flip-flop RS mempunyai dua masukan data, yaitu S dan R. Untuk menyimpan suatu bit tinggi, kita membutuhkan input S tinggi sehingga  $Q=1$  dan  $\bar{Q}=0$ . Untuk menyimpan bit rendah, kita membutuhkan input R tinggi, sehingga  $Q=0$  dan  $\bar{Q}=1$ . Membangkitkan dua buah sinyal masukan (S dan R) untuk men-*drive* flip-flop merupakan suatu kelemahan dalam berbagai penerapan. Demikian pula, kondisi terlarang yakni R dan S keduanya tinggi, sehingga keluaran Q dan  $\bar{Q}$  bernilai sama, dapat terjadi secara tidak sengaja. Hal ini menyebabkan dikembangkan jenis flip-flop lain yang dapat mengatasi kelemahan-kelemahan tersebut, antara lain flip-flop D (D dari *Data*), suatu rangkaian yang hanya membutuhkan sebuah masukan data. Pada dasarnya, flip-flop D merupakan multivibrator bistabil yang masukan D-nya ditransfer ke keluaran Q saat rangkaian aktif.

Tabel 1. Flip-flop D

Input	Output	
D	Q	$\bar{Q}$
0	0	1
1	1	0



Gambar 3. Rangkaian flip-flop D dikembangkan dari FF R-S

Terdapat berbagai cara untuk merancang flip-flop D. Flip-flop D dapat dibangun dengan mengembangkan flip-flop R-S seperti Gambar 3. Sedangkan Gambar 4 memperlihatkan suatu cara untuk membangun sebuah flip-flop D dengan lonceng (*clock*). Jenis flip-flop ini mencegah nilai D mencapai keluaran Q sampai berlangsungnya sinyal lonceng aktif. Cara kerja rangkaian yang bersangkutan adalah sebagai berikut. Bila lonceng bernilai 0 (rendah), kedua gerbang AND tertutup, oleh karenanya perubahan nilai D tidak mempengaruhi nilai output Q. Sebaliknya, bila lonceng bernilai 1 (tinggi), kedua gerbang AND terbuka. Dalam hal ini, Q terdorong untuk menyamai nilai D. Bila lonceng turun kembali, Q tak berubah dan menyimpan nilai D yang terakhir.



FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 4 : FLIP – FLOP D

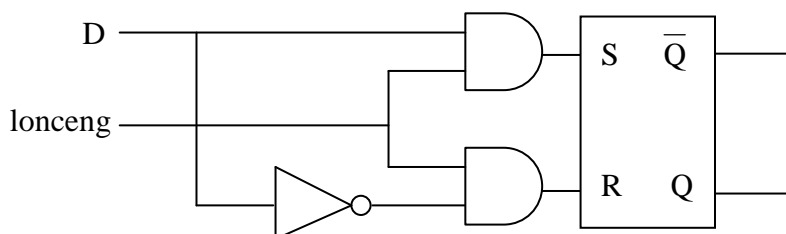
4 X 60 Menit

No. LST/EKO/DEL 214/04

Revisi : 03

Tgl : 1 Maret 2012

Hal 3 dari 6

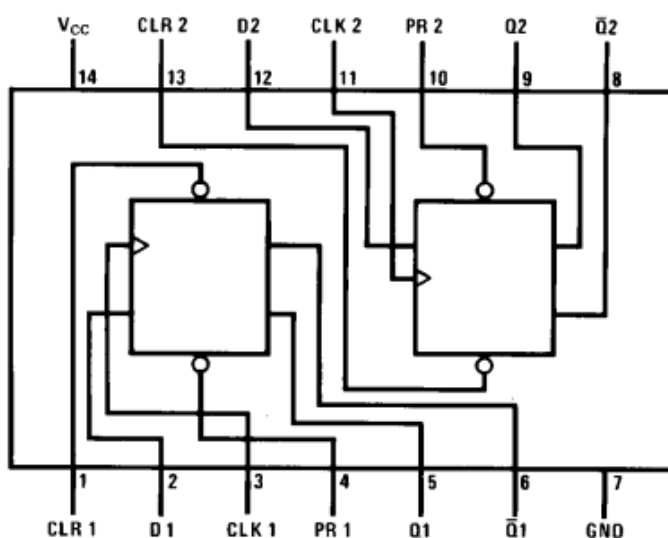


Gambar 4. Rangkaian flip-flop D dengan lonceng

### IC 7474 (Dual Positive-Edge-Triggered D Flip-Flops)

Untuk penggunaan praktis, kita dapat menggunakan IC 7474 yang berisi 2 buah *Positive-Edge-Triggered D Flip-Flop*. *Positive-Edge-Triggered* artinya nilai pada masukan kaki D akan diterima oleh Flip-Flop saat terjadi perubahan sinyal lonceng (*clock*) dari 0 ke 1 atau sering juga disebut *rising edge*. Perubahan masukan pada kaki D tidak akan berpengaruh pada keluaran Q bila tidak terjadi transisi pada lonceng dari 0 ke 1, walaupun misalnya lonceng bernilai 1. Diagram hubungan kaki-kaki IC ini dapat dilihat pada gambar 2.

Pada IC 7474, juga terdapat kaki **Preset** dan kaki **Clear**. Kaki Preset berfungsi untuk memaksa output menjadi  $Q=1$  dan  $\bar{Q}=0$ , tanpa memperdulikan input D, sedangkan kaki Clear berfungsi untuk memaksa output menjadi  $Q=0$  dan  $\bar{Q}=1$ , tanpa memperdulikan input D. Yang perlu diperhatikan adalah pada IC ini, kaki Preset dan Clear bersifat **active-low** (lawan **active-high**), artinya kaki tersebut aktif justru ketika mendapat masukan 0 (**low**). Sifat tersebut dapat diketahui dengan adanya tanda  $\circ$  pada kaki yang bersangkutan di diagram seperti gambar di bawah ini.




Gambar 5. Diagram hubungan IC 7474

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :

	<b>FAKULTAS TEKNIK</b>			
	<b>UNIVERSITAS NEGERI YOGYAKARTA</b>			
	<b>LAB SHEET TEKNIK DIGITAL</b>			
	Semester 3	<b>LS 4 : FLIP – FLOP D</b>		4 X 60 Menit
No. LST/EKO/DEL 214/04	Revisi : 03	Tgl : 1 Maret 2012	Hal 4 dari 6	

### Jenis-jenis untai Flip-flop berdasar Clocknya.

Berdasar perilakunya atau hubungan input dan output, flip-flop dibedakan menjadi beberapa jenis, antara lain **Flip-flop RS**, **Flip-flop D**, **Flip-flop JK**, dan **Flip-flop T**. Berdasarkan ada atau tidaknya lonceng (*clock*), untai Flip-flop dapat dibagi menjadi 3, yaitu sebagai berikut.

1. **Latch**, yaitu untai flip-flop yang tidak mempunyai input sinyal *clock*. Pada untai ini output akan bereaksi seiring dengan perubahan input.  
Contohnya adalah rangkaian 1 dan rangkaian 2 pada Labsheet 3 .
2. **Level-sensitive flip-flop**, yaitu untai flip-flop yang mempunyai input sinyal *clock*, dan output akan bereaksi terhadap perubahan input saat sinyal *clock* aktif (bisa saat bernilai 1 atau 0)  
Contoh dari untai ini adalah rangkaian 3 dari Labsheet 3 dan rangkaian 1 dari Labsheet 4.
3. **Edge-triggered flip-flop**, yaitu untai flip-flop yang mempunyai input sinyal *clock*, dan output akan bereaksi terhadap perubahan input saat sinyal *clock* berubah dari 0 ke 1 (untuk tipe *Positive-Edge-Triggered FF*) atau saat *clock* berubah dari 1 ke 0 (untuk tipe *Negative-Edge-Triggered FF*). Beberapa literatur menyebut tipe inilah yang benar-benar disebut **flip-flop**.  
Contoh dari untai ini adalah rangkaian 2 dari Labsheet 4.

Jenis ke-2 dan ke-3 biasa disebut sebagai *clocked flip-flop*.

### 4. Alat dan Instrument

- Digital Trainer Kit 1 buah
- Tools kit(tang) 1 buah
- IC 7474, 7408, 7402, 7404 @ 1 buah
- Kabel penghubung secukupnya
- Pinset 1 buah

### 5. Keselamatan Kerja

- Bekerjalah dengan keadaan tanpa tegangan pada saat membuat rangkaian dan mengubah rangkaian
- Lepaslah IC dari soket dengan hati-hati dan menggunakan peralatan pinset
- Jauhkan peralatan yang tidak diperlukan dari meja kerja

### 6. Langkah Kerja

- a) Gunakan bagian Basic Logic Gates pada digital trainer kit yang disediakan.
- b) Buatlah rangkaian percobaan 1.
- c) Berikan input dengan menggunakan *Logic Switch*.
- d) Bacalah output rangkaian dengan melihat pada *logic monitor*
- e) Ubahlah input sesuai dengan tabel 1 dan masukkan hasil pengamatan pada tabel tersebut. Lakukan perubahan input sesuai urutan pada tabel percobaan.
- f) Ulangi langkah c, d, dan e untuk rangkaian 2.

Dibuat oleh : HSP dan ACN	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
------------------------------	--	------------------



FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 4 : FLIP – FLOP D

4 X 60 Menit

No. LST/EKO/DEL 214/04

Revisi : 03

Tgl : 1 Maret 2012

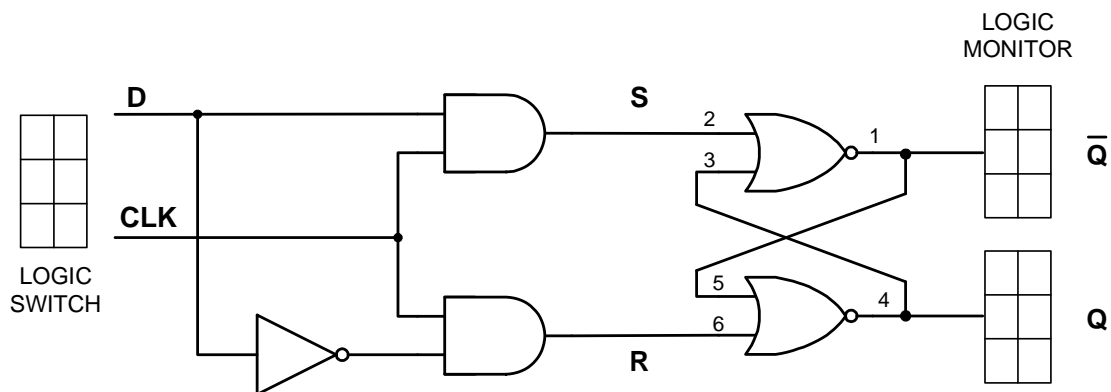
Hal 5 dari 6

### 7. Bahan Diskusi

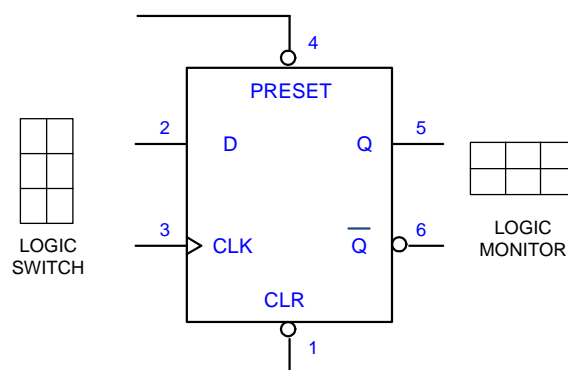
- Dari rangkaian 1, jelaskan mengapa bila sinyal *clock* berada pada keadaan logika 0, perubahan-perubahan pada input D tidak mengakibatkan perubahan pada outputnya
- Jelaskan fungsi **clear** dan **preset** pada Flip-flop D dari percobaan rangkaian 2.
- Jelaskan kapan output dapat berubah pada percobaan rangkaian 1, dikaitkan dengan input *clock*.

### 8. Lampiran

- a) Gambar Rangkaian



Rangkaian 1. Flip-flop D dengan gerbang NOR



Rangkaian 2. Flip-flop D dengan fasilitas preset dan clear menggunakan IC 7474

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 4 : FLIP – FLOP D**

4 X 60 Menit

No. LST/EKO/DEL 214/04

Revisi : 03

Tgl : 1 Maret 2012

Hal 6 dari 6

b) Tabel Percobaan

Tabel 1. Percobaan Flip-flop D dengan gerbang NOR

INPUT		OUTPUT	
Clock	D	Q	$\bar{Q}$
0	0		
1	0		
0	1		
1	1		
0	0		
1	0		
0	1		
1	1		

Tabel 2. Percobaan Flip-flop D dengan fasilitas preset dan clear menggunakan IC 7474

No	Preset	Clear	INPUT		OUTPUT	
			Clock	D	Q	$\bar{Q}$
1.	0	0	↑	0		
2.	0	0	↑	1		
3.	1	0	↑	0		
4.	1	0	↑	1		
5.	0	1	↑	0		
6.	0	1	↑	1		
7.	1	1	0	0		
8.	1	1	↑	0		
9.	1	1	0	1		
10.	1	1	↑	1		
11.	1	1	<b>1</b>	0		
12.	1	1	<b>1</b>	1		

**Catatan :**

- Lakukan perubahan input sesuai dengan urutan di atas
- ↑ artinya PGT (Positive-Going-Transition), yaitu perubahan level Clock dari 0 ke 1
- Lakukan PGT setelah masukan D diubah terlebih dahulu.

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :