



## LAB SHEET TEKNIK DIGITAL

Semester 3

LS 9 : ADDER & SUBTRACTOR

4 X 60 Menit

No. LST/EKO/DEL 214/09

Revisi : 02

Tgl : 5 Mei 2010

Hal 1 dari 6

### 1. Kompetensi

Memahami cara kerja rangkaian *adder* dan rangkaian *subtractor*.

### 2. Sub Kompetensi

- Memahami cara kerja rangkaian *adder*.
- Memahami cara kerja rangkaian *subtractor*.

### 3. Dasar Teori

Rangkaian aritmetik merupakan **rangkaian logika kombinasional** yang dapat menambahkan, mengurangi, mengalikan dan membagi. Dalam percobaan ini akan dipraktekkan *Half Adder*, *Full Adder*, *Half Subtractor* dan *Full Subtractor* yang menjadi dasar dari semua rangkaian dengan fungsi tersebut.

#### Half Adder

Penjumlahan dua bilangan biner dilakukan mirip dengan penjumlahan bilangan desimal. Berikut adalah contoh penjumlahan desimal.

$$\begin{array}{r} 3 \ 5 \ 5 \\ + 4 \ 6 \ 2 \\ \hline 8 \ 1 \ 7 \end{array}$$

LSD

Posisi *least-significant-digit* (LSD) dikerjakan terlebih dahulu, menghasilkan jumlah 7. Digit-digit di posisi kedua (digit puluhan) kemudian dijumlahkan untuk menghasilkan jumlah 11, yang menghasilkan *carry* 1 ke posisi ketiga. Terakhir, digit-digit pada posisi ketiga dan *carry* dari posisi kedua dijumlahkan untuk mendapatkan nilai 8.

Langkah-langkah tersebut juga dilakukan pada penjumlahan biner. Namun hanya ada empat kasus yang dapat terjadi pada penjumlahan dua digit biner, yaitu :

$$0 + 0 = 0$$

$$1 + 0 = 1$$

$$1 + 1 = 10 = 0 + \textit{carry} 1 \text{ ke posisi selanjutnya}$$

$$1 + 1 + 1 = 11 = 1 + \textit{carry} 1 \text{ ke posisi selanjutnya}$$

Kasus terakhir terjadi ketika dua bit pada posisi tertentu adalah 1 dan terdapat *carry* 1 dari posisi sebelumnya. Berikut adalah beberapa contoh penjumlahan biner.

$$\begin{array}{r} 0 \ 1 \ 1 \ (3_{10}) \\ + 1 \ 1 \ 0 \ (6_{10}) \\ \hline 1 \ 0 \ 0 \ 1 \ (9_{10}) \end{array} \qquad \begin{array}{r} 1 \ 0 \ 1 \ 0 \ (10_{10}) \\ + 1 \ 1 \ 1 \ 1 \ (15_{10}) \\ \hline 1 \ 1 \ 0 \ 0 \ 1 \ (25_{10}) \end{array}$$

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 9 : ADDER & SUBTRACTOR**

4 X 60 Menit

No. LST/EKO/DEL 214/09

Revisi : 02

Tgl : 5 Mei 2010

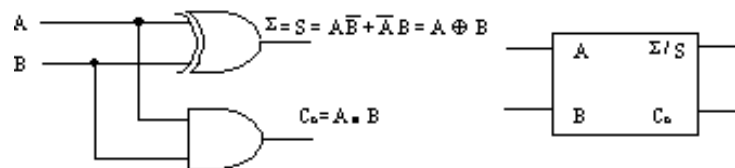
Hal 2 dari 6

Aturan-aturan penjumlahan biner dapat diwakili tabel kebenaran berikut.

Tabel 1. Tabel Kebenaran *Half Adder*.

INPUT		OUTPUT	
A	B	Carry Out (pindah ke)	Sum (jumlah)
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Tabel kebenaran di atas dapat direalisasikan dengan rangkaian logika, memakai satu gerbang XOR dan satu gerbang AND yang disusun seperti Gambar 1. Rangkaian tersebut juga dapat dinyatakan dalam bentuk rangkaian blok.



(a) Diagram Logika

(b) Simbol Blok

Gambar 1. *Half Adder*

Rangkaian tersebut memiliki sifat:

1. Dapat melakukan penjumlahan 2 bit
2. Dapat mengeluarkan pindahan (*carry*) untuk posisi bit berikutnya
3. Tidak mempunyai input yang dapat dimasuki *carry* hasil penjumlahan posisi sebelumnya, oleh karena itu rangkaian ini disebut *Half Adder* / Penjumlahan tak lengkap.

### Full Adder

Penjumlahan yang lengkap memerlukan input yang dapat dimasuki bit *carry*, sehingga memiliki 3 input. Rangkaian *Full Adder* ini dapat disusun dari *Half Adder* dan gerbang OR. Simbol blok dan diagram logika dinyatakan dalam Gambar 2.



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 9 : ADDER & SUBTRACTOR**

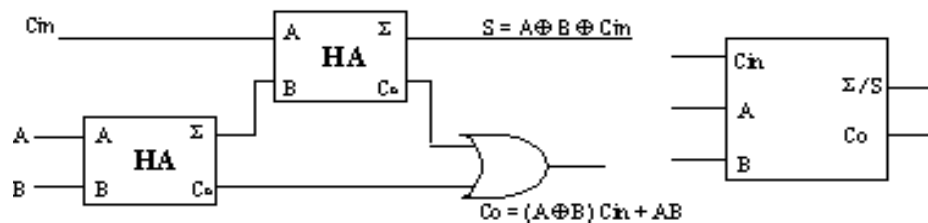
4 X 60 Menit

No. LST/EKO/DEL 214/09

Revisi : 02

Tgl : 5 Mei 2010

Hal 3 dari 6



(a) Diagram Logika

(b) Simbol Blok

Gambar 2. Full Adder

### Subtractor

Rangkaian *subtractor* hampir serupa dengan *adder*, *half subtractor* serupa dengan *half adder* sedangkan *full subtractor* serupa dengan *full adder*, hanya perbedaan pada fungsinya yaitu *adder* untuk penjumlahan dan *subtractor* untuk pengurang. Berikut adalah tabel kebenaran untuk *Half Subtractor*.

Tabel 2. Tabel Kebenaran *Half Subtractor*.

INPUT		OUTPUT	
A	B	Borrow Out (pinjam ke)	Sum (jumlah)
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

### 4. Alat dan Instrument

- Digital Trainer Kit 1 buah
- Tools kit(tang) 1 buah
- IC 7408, 7432, 7404, 7486 @ 1 buah
- Kabel penghubung secukupnya
- Pinset 1 buah

### 5. Keselamatan Kerja

- Bekerjalah dengan keadaan tanpa tegangan pada saat membuat rangkaian dan mengubah rangkaian.
- Lepaslah IC dari soket dengan hati-hati dan menggunakan peralatan pinset.
- Jauhkan peralatan yang tidak diperlukan dari meja kerja.

### 6. Langkah Kerja

- a) Gunakan bagian Basic Logic Gates pada digital trainer kit yang disediakan.
- b) Buatlah rangkaian 1.
- c) Berikan input dengan menggunakan Logic Switch.

Dibuat oleh : HSP dan ACN	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
------------------------------	---	------------------



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 9 : ADDER & SUBTRACTOR**

4 X 60 Menit

No. LST/EKO/DEL 214/09

Revisi : 02

Tgl : 5 Mei 2010

Hal 4 dari 6

- d) Bacalah output rangkaian dengan melihat pada *logic monitor*.
- e) Ubahlah input sesuai dengan tabel 1 dan masukkan hasil pengamatan pada tabel tersebut.
- f) Ulangi langkah b, c, d, dan e untuk rangkaian 2, 3 dan 4.

**7. Bahan Diskusi**

- Dari pembahasan di atas, dijelaskan untuk *Full Adder*, persamaan Boolean-nya adalah:

$$\text{Sum} = A \oplus B \oplus C_{in}$$

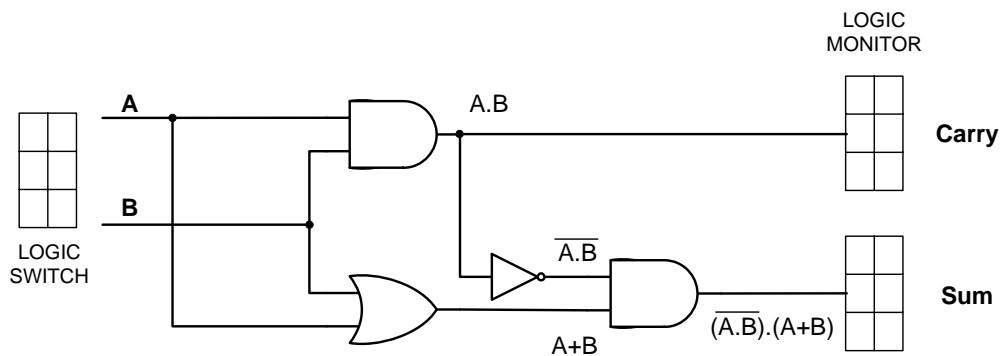
$$\text{Cout} = ((A \oplus B) \cdot C_{in}) + (A \cdot B)$$

Turunkan persamaan Boolean untuk rangkaian *Full Subtractor*.

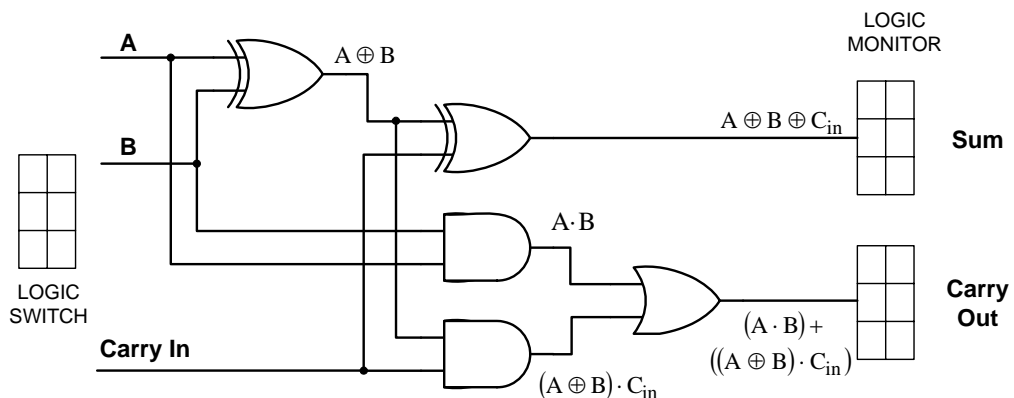
- Rancanglah sebuah rangkaian *full adder* dan *full subtractor* dengan menggunakan kombinasi gerbang dasar yang lain tanpa menggunakan gerbang XOR.

**8. Lampiran**

a) Gambar Rangkaian



Rangkaian 1. Rangkaian *Half Adder*.



Rangkaian 2. Rangkaian *Full Adder*.

Dibuat oleh : HSP dan ACN	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh :
------------------------------	---	------------------



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 9 : ADDER & SUBTRACTOR**

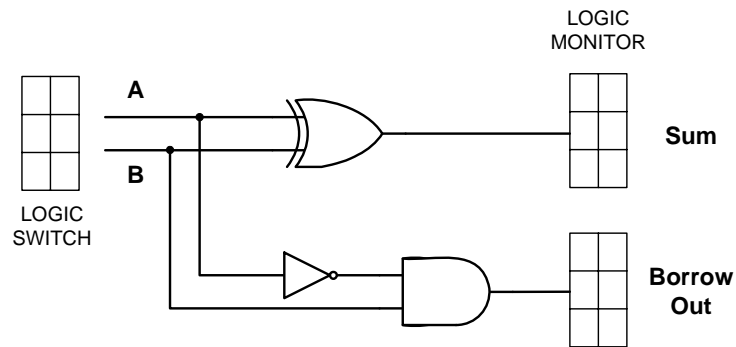
4 X 60 Menit

No. LST/EKO/DEL 214/09

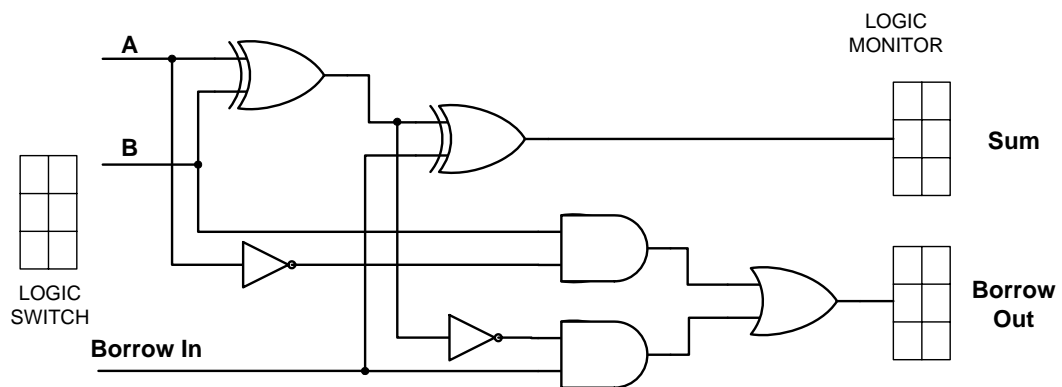
Revisi : 02

Tgl : 5 Mei 2010

Hal 5 dari 6



Rangkaian 3. Rangkaian *Half Subtractor*



Rangkaian 4. Rangkaian *Full Subtractor*.

b) Tabel Percobaan

Tabel 1. Tabel percobaan *Half Adder*

INPUT		OUTPUT	
A	B	Carry	Sum
0	0		
0	1		
1	0		
1	1		



**FAKULTAS TEKNIK  
UNIVERSITAS NEGERI YOGYAKARTA**

**LAB SHEET TEKNIK DIGITAL**

Semester 3

**LS 9 : ADDER & SUBTRACTOR**

4 X 60 Menit

No. LST/EKO/DEL 214/09

Revisi : 02

Tgl : 5 Mei 2010

Hal 6 dari 6

Tabel 2. Tabel percobaan *Full Adder*

No.	INPUT			OUTPUT	
	A	B	Carry In	Carry Out	Sum
1	0	0	0		
2	0	0	1		
3	0	1	0		
4	0	1	1		
5	1	0	0		
6	1	0	1		
7	1	1	0		
8	1	1	1		

Tabel 3. Tabel percobaan *Half Subtractor*

INPUT		OUTPUT	
A	B	Borrow	Sum
0	0		
0	1		
1	0		
1	1		

Tabel 4. Tabel percobaan *Full Subtractor*

No.	INPUT			OUTPUT	
	A	B	Borrow In	Borrow Out	Sum
1	0	0	0		
2	0	0	1		
3	0	1	0		
4	0	1	1		
5	1	0	0		
6	1	0	1		
7	1	1	0		
8	1	1	1		

Dibuat oleh :  
HSP dan ACN

Dilarang memperbanyak sebagian atau seluruh isi dokumen  
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :